

申请上海交通大学硕士学位论文

符号化仿真器小信号模型研究与符号化敏感性在提高模拟
电路设计良率中的应用¹

学 校： 上海交通大学
院 系： 微电子学院
班 级： B0721091
学 号： 1072109015
姓 名： 谭焜元
专 业： 电路与系统
导 师： 施国勇（教授）

上海交通大学微电子学院

2009 年 12 月

此研究由上海市浦江人才基金(项目编号 07pj14053)和国家自然科学基金(项目编号 60876089)资助。

**A Thesis Submitted to Shanghai Jiao Tong University for the Degree
of Philosophy Master**

**An Investigation on the Dependence of Symbolic Simulator on Small
Signal Models and the Application of Symbolic Simulator for
Improving Analog Design Yield**

University: Shanghai Jiao Tong University

Department: School of Microelectronics

Class: B0721091

Student No.: 1072109015

Author: Tan Kunyuan

Specialty: Circuits and Systems

Advisor: Prof. Shi Guoyong

School of Microelectronics
Shanghai Jiao Tong University
Shanghai, P.R.China

December, 2009

上海交通大学

学位论文原创性声明

本人郑重声明：所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的作品成果。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律结果由本人承担。

学位论文作者签名：

日期： 年 月 日

上海交通大学

学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权上海交通大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保密，在___年解密后适用本授权书。

本学位论文属于

不保密。

(请在以上方框内打“√”)

学位论文作者签名：

指导教师签名：

日期： 年 月 日

日期： 年 月 日

符号化仿真器小信号模型研究与符号化敏感性在提高模拟电路设计良率中的应用

摘要

模拟电路对于工艺偏移的敏感性以及设计良率是模拟电路设计师关心的重要问题。由于数值仿真工具的局限性，至今设计界仍缺乏能有效提高电路可靠性与良率的通用设计辅助工具。符号化仿真器可以快速导出频域设计指标关于电路参数的解析表示并由此用三维立体图示的方式展示设计指标关于电路参数的依赖敏感度，设计师能够直观的判断如何选择合适的参数组合以满足电路可靠性并降低工艺偏移可能导致的电路性能恶化，从而提高设计良率。

本文首先介绍了为了在符号化仿真器的可处理问题规模上尽可能的处理更大规模电路而进行的 CMOS 小信号模型选取和抽取。接着描述了工艺品偏移低敏感性设计方法的需求和原理。接着在传统多级放大器的设计方法和实例的基础上说明使用符号化仿真器进行工艺偏移低敏感度高良率设计取得的良好效果。实验表明本文提出的方法可以有效地辅助设计师对于电路参数进行准确判断与选择，是一种值得在实际模拟电路设计中使用的辅助方法。

关键词：符号化仿真器，CMOS 小信号模型，多级运算放大器模拟电路，工艺偏移低敏感性，生产良率

An Investigation on the Dependence of Symbolic Simulator on Small Signal Models and the Application of Symbolic Simulator for Improving Analog Design Yield

ABSTRACT

Analog circuit sensitivity to process variation and design yields has always been key issues that designer cares about. Due to the limitation of numerical simulation method, there still lacks a design automation tool that helps analog circuit designers choose optimal parameters for robust circuit performance in design community. Symbolic simulation method could rapidly derived frequency design metrics with respect to symbols of circuit parameters. By the proposed methodology with the GUI supported symbolic tool, it can provide the designers an easy yet efficient design assistance to achieve the yield related design tasks.

This paper first introduces fundamentals of symbolic simulator. Then it describes the CMOS small signal model selection and extraction due to the necessity of trimming simulating circuit scale. The design methodology for multi-stage Op Amp and principle for low sensitivity and high yields circuit design are illustrated later. At the basis of above fundamentals, a representative design case is employed to demonstrate its practical meaning and enhancement to designer. Experiments show that the methodology proposed in this paper could efficiently aid analog circuit designer on circuit parameter judgment and selection. This is a worth implementing method in practical analog circuit design.

Keywords: Symbolic Simulator, CMOS Small Signal Model, Multi-stage Op Amp Analog Circuit, Low Sensitivity to Process Variation, Yields

目 录

符号化仿真器小信号模型研究与符号化敏感性在提高模拟电路设计良率中的应用 ¹	1
摘 要.....	I
ABSTRACT.....	II
第一章 引言.....	1
1.1 行业发展趋势及需求.....	1
1.2 符号化电路分析的历史.....	2
1.3 符号化分析基本原理.....	3
1.4 符号化模拟电路仿真器的潜在优势.....	5
1.5 工艺偏移低敏感性设计背景.....	7
1.6 本章小结.....	7
第二章 CMOS 小信号模型提取.....	8
2.1 符号化仿真器关于小信号模型的依赖性.....	8
2.2 CMOS 小信号模型的使用.....	8
2.3 小信号模型参数确定.....	10
2.3.1 MOS3 与BSIM 模型的参数对应.....	11
2.3.2 MOS3 与BSIM 在SPICE 中的计算方式研究.....	11
2.4 小信号模型提取原始网表语法实例及规范说明.....	12
2.5 小信号模型提取方法及流程.....	15
2.6 小信号模型抽取程序使用范例.....	19
2.7 小信号模型复杂度对精度影响比较.....	19
2.7.1 两级运算放大器简单及复杂小信号模型比较测试.....	20
2.7.2 折叠级联放大器简单及复杂小信号模型比较测试.....	22
2.7.3 三级运算放大器简单及复杂小信号模型比较测试.....	24
2.8 本章小结.....	26
第三章 工艺偏移低敏感性设计方法.....	1
3.1 工艺偏移低敏感性设计需求.....	1
3.2 传统考虑良率的多级放大器设计范例.....	2
3.2 数值化良率分析.....	5
3.3 直观良率分析表示.....	8
3.4 本章小结.....	11
第四章 良率优化的 CMOS 模拟电路多级运算放大器设计.....	12

4.1 用符号化仿真器提高模拟电路设计良率	12
4.2 简单运算放大器设计流程	12
4.3 反向嵌套米勒补偿效应多级放大器	15
4.4 针对良率优化的过量设计	19
4.5 GRASS 辅助低敏感度高良率设计	23
4.6 本章小结	27
第五章 结论与研究展望	28
5.1 结论	28
5.2 电路功耗分区域描述	29
5.3 对电路偏移进行分析和自动优化	30
5.4 晶体管工作区变化及警示	30
5.5 大规模电路的分块仿真处理	31
参考文献	32
附录 A GRASS 常规状态正确性验证	36
附录 B 非正常工作点模型正确性验证	40
致谢	47
攻读博士学位期间已发表或录用的论文	48

图片目录

图表 1-1 待分析电路举例	3
图表 1-2 分析电路对应 SDD	4
图表 1-3 分析电路敏感度展开 SDD	4
图表 2-1 常用手工计算小信号模型	9
图表 2-2 MOS3 小信号模型	10
图表 2-3 SPICE 器件描述格式	12
图表 2-4 GRASS 工作流程	15
图表 2-5 MOS3 小信号模型抽取说明	16
图表 2-6 小信号模型抽取流程	18
图表 2-7 两级运算放大器结构	20
图表 2-8 两级放大器复杂与简单小信号模型频域响应幅值比较	21
图表 2-9 两级放大器复杂与简单小信号模型频域响应相位比较图	21
图表 2-10 折叠级联运算放大器结构	22
图表 2-11 折叠级联放大器复杂与简单小信号模型频域响应幅值比较图	23
图表 2-12 折叠级联放大器复杂与简单小信号模型频域响应相位比较图	23
图表 2-13 三级运算放大器及其反馈结构	24
图表 2-14 三级运算放大器复杂与简单小信号模型频域响应幅值比较图	25
图表 2-15 三级运算放大器复杂与简单小信号模型频域响应相位比较图	25
图表 3-1 多级运算放大器电路结构示例	2
图表 3-2 三级运算放大器初始频域响应	3
图表 3-3 三级放大器蒙特卡罗分析部分曲线示意图	4
图表 3-4 参数依据高斯分布生成的系统性能分布	7
图表 3-5 电路某性能指标相对双参数表示	8
图表 3-6 性能可接受区域设定	9
图表 3-7 对应参数变化区域表示	10
图表 3-8 调整电路中值对应参数变化区域表示	11
图表 4-1 常规两级运算放大器设计框图	12
图表 4-2 简单两级运算放大器	13
图表 4-3 参数调整对电路性能影响	13
图表 4-4 三级嵌套米勒补偿效应放大器	14
图表 4-5 简单小信号模型带入后三级运放电路	14
图表 4-6 非主极点对频域响应的影响	15
图表 4-7 RNMCFNR 结构框图	16
图表 4-8 使用 RNMCFNR 技术的三级放大器电路图	16
图表 4-9 RAFFC 结构框图	17
图表 4-10 使用 RAFFC 技术的三级放大器电路图	18
图表 4-11 过量设计 1 系统性能 Monte Carlo 分布图	20
图表 4-12 过量设计 2 系统性能 Monte Carlo 分布图	21
图表 4-13 过量设计 3 系统性能 Monte Carlo 分布图	22

图表 4-14 GRASS 反馈回路参数对相位裕度敏感度表示	24
图表 4-15 GRASS 图形用户界面	25
图表 5-1 简单放大器示意图	29
图表 5-2 理想运算放大器的现实化	30
图表 5-3 复杂运算放大器实例	31

表格目录

表格 2-1 MOS3 小信号模型参数含义.....	11
表格 2-2 小信号模型具体抽取位置	16
表格 2-3 小信号模型参数依赖性*	18
表格 2-4 测试环境	19
表格 2-5 两级运算放大器复杂及简单小信号模型仿真比较.....	22
表格 2-6 折叠级联运算放大器复杂及简单小信号模型仿真比较.....	24
表格 2-7 三级运算放大器复杂及简单小信号模型仿真比较.....	26
表格 3-1 蒙特卡罗分析结果 (5000 次).....	5
表格 4-1 蒙特卡罗分析结果 5000/运行时间 344.88s.....	19
表格 4-2 蒙特卡罗分析结果 5000/运行时间 8.94s.....	21
表格 4-3 蒙特卡罗分析结果 5000/运行时间 39.25s.....	22
表格 4-4 沿等相位裕度线 75° 的反馈回路参数优化.....	26
表格 4-5 反馈回路经 GRASS 优化所得系统性能*.....	27

第一章 引言

1.1 行业发展趋势及需求

随着集成电路领域芯片加工工艺技术向深亚微米领域发展[1]，CMOS 65nm及以下纳米技术的应用，特征尺寸变得越来越小，对于混合信号集成系统的设计提出了非常大的挑战。不断上升的设计复杂性，日益缩短的上市时间需求，新颖的器件类型和制造材料，漏功耗问题，逐渐降低的供应电压，以上因素造成的可靠性设计问题，为芯片设计人员带来了严峻挑战。

不断缩小的器件尺寸导致了两个核心问题：1.在一个芯片上原来同样大小的面积需要集成更多功能，这意味着纳米尺寸级别的片上系统；2.随着器件尺寸越来越接近单个原子，越来越重要的工艺偏移问题。而数字/模拟混合信号芯片的设计及其复杂性，对电路仿真供给提出了更高的要求，需要更加精确地电路级仿真及信息提取[2][3][4]。

目前最为著名的电路仿真器SPICE[5]是由加州大学Berkeley分校在20世纪70年代开发的一个开源软件，它能非常准确有效地模拟电路表现。其先对于输入的电路的netlist采用MNA（Modified Nodal Analysis）算法转化为矩阵，电路中各个元件的参数就被存储在这个矩阵中，之后根据用户的需求进行（直流，交流，瞬态）分析，使用相应的方式对于矩阵进行变换并使用数值方式进行求解。但其计算效率较差，特别是对于大规模集成电路，所需要的仿真时间超出了产品开发可以容忍的极限。

之后在SPICE的基础上，Avant!公司逐渐开发出了商业化仿真软件HSPICE，而Cadence Design System公司也开发出了类似功能的PSPICE。它们相对于SPICE的精度和效率均有提高，但是在当今深亚微米工艺尺寸下，已有问题的规模呈指数上升，再加上如上所提出的全新问题，这些商业软件在处理该类更大规模集成电路高效率仿真分析方面存在越来越多的困难。

对于一个合格的芯片设计师来说，他们需要了解其设计的电路，并应该能够理解各设计变量与电路性能表现的主要关系。但随着电路问题复杂性的上升，或者新的技术和器件被使用，这种理想化的对电路的深入理解和把握变得越来越困难。即使使用

了计算机辅助设计工具，也需要对使用的工具进行正确的约束设置，从而得到可接受的设计结果。而这些约束设置同样要求设计师对于设计问题和电路结构及表现具备深入的理解。

信息提取工具是一个加速设计师对电路理解的优秀方法。其核心概念在于将电路中的重要信息（如某电路性能指标与某一个参数及其相关等）以易于理解的方式展示给设计师，从而减少对其以往设计经验的依赖，依靠自动化的方式降低设计难度并提高设计可靠性。在任何一个设计层级，更完善的电路理解都能够帮助其在电路尺寸调整，行为建模和验证，版面设计和结构设计上进行更好决策。从这点可以看出，信息提取工具是计算机辅助设计工具更好得到设计师信任的方式，可以作为设计自动化工具的一个有力补充。

符号化分析方法[43][44][45][46]作为电路信息提取的一种理论，其可以使用算法级方法得到对电路特征描述定性的分析方程。因为现在的方式是用部分SPICE仿真数据作为他们的部分输入，因此通常可以较精确的覆盖非线性电路，技术和分析。

由上海交通大学微电子学院计算机辅助芯片设计实验室开发的 GRASS(A Graph Reduction Analog Symbolic Simulator)作为符号仿真器实际应用，可以处理较大规模模拟电路，将在与实际设计实例结合的不断改良中越来越完善，为模拟电路辅助设计提供良好的功能，在提高设计的效率和可靠性方面给予设计师更大的帮助。

1.2 符号化电路分析的历史

符号化处理电路问题的历史悠久。20世纪60年代末至70年代初期，分析技术的成熟和计算机的发展进步使得符号化电路分析方法成为研究的热点，代表的如用来分析模拟滤波器电路的SNAP[6]和NAPP[7]。生成树枚举法和符号流图法等给予图形的分析方法被认为是最适合用于分析小规模整体均符号化的电路。而对于规模较大的电路使用另一种方法，只将频率看做符号，而其他完全采用数值的方法来分析。将如上两种方法结合即产生了办数值分析的方法，即将小部分电路参数符号化，从而快速的分析规模较大的电路。

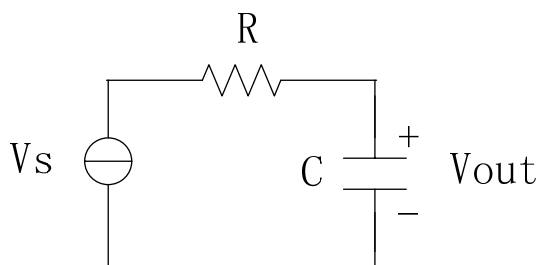
但由于其效率的问题，随着SPICE的诞生，其准确和快速的数值结果盖过了符号化分析电路的优势。到80年代，层次化的分析方法被提出，以克服符号化分析方法对其所分析电路规模的限制。该方法中电路的符号化表达式不是通过直接展开整个电路来获取，而是嵌套的产生；同时基于矩阵或者行列式的分析方法也得到了发展，它们也可以像图形分析方法一样对整体符号化了的电路进行有效的分析。

从 80 年代后期开始, 对于模拟集成电路分析的需求, 符号化方法比数值方法在分析上更适合该类问题, 因此诞生了许多成功的符号化仿真器, 如 ISAAC[8][9], ASAP[10][11], SYNAP[12][13], SAPEC[14], SSPICE[15], SCYMBAL[16], SCAPP[17] 和 GASCAP[18], GRASS[19][20], 符号化电路分析方法也重新进入了主流研究的视线。在以上这些工具中, 其核心基于行列式的分析法或符号流图的方法是最灵活和最有效的。符号化电路分析方法的重获新生主要有两大驱动力, 首先是模拟集成电路设计对计算机辅助设计和设计自动化的迫切需求, 其次是计算机计算性能的大幅提高以及相关高效算法的发展。

1.3 符号化分析基本原理

电路级的符号化分析法是一种形式化的分析方法, 符号化分析研究主要针对线性电路的频域特性。我们以一个简单的例子说明上述的符号化的分析方法。以如图 1-1 所示电路为例, 其由一个电压源、一个电阻和一个电容串联而成, 求电容两端的电压值。我们由基尔霍夫定律可以非常快地得到频域传输函数:

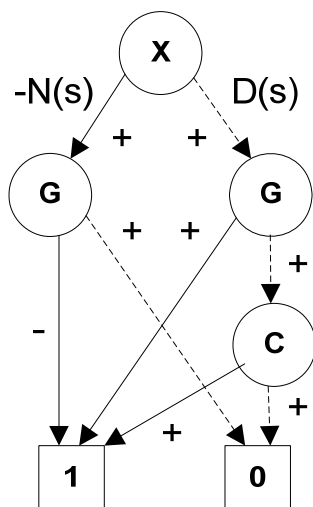
$$H(s) = \frac{1}{X} = \frac{1}{1 + RCs} \quad (1-1)$$



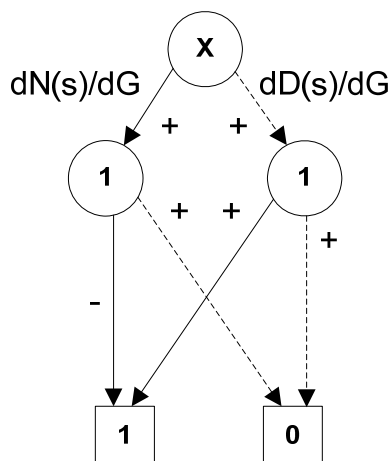
图表 1-1 待分析电路举例

Fig.1-1 Circuit Example to be Analyzed

符号化方法首先按照特定规则将电路转化为相应的有向图, 然后以图约化的方式得到电路传输函数的表达式。随后将图约化算法与二分判定图结合, 以共享的方式存储可能指数增长的生成项, 大大提升了可处理电路的规模, 从而极大地提高了符号化分析的时间和存储空间效率[19][20]。



图表 1-2 分析电路对应 SDD
Fig.1-2 Corresponding SDD to analyzed circuit



图表 1-3 分析电路敏感度展开 SDD
Fig.1-3 Expanded sensitivity SDD corresponding to analyzed circuit

上例中，符号化方法对此电路执行图约化算法，根据电路拓扑结构构建如图 1-2 所示的符号判定图 SDD (Symbol Decision Diagram)，其中， $N(s)$ 和 $D(s)$ 分别表示符号化传输函数 $H(s)$ 的分子和分母多项式。

由于符号化方法将传输函数的分子分母多项式用电路参数的乘积和

(Sum-Of-Product)的形式表示，因此可以很容易地求得传输函数关于任意电路参数的符号化导数，即频域敏感度[20]。敏感度信息的提取只需根据待处理元件在电路中的位置对已构建的SDD进行相应图操作即可，不会因为任何新结点的出现而增加空间复杂度。图3所示为对图1所示电路的传输函数求关于R求一阶导数后得到的SDD，由图1-2和1-3得到归一化敏感度为[20]：

$$\text{Sens}(H(s), R) = -\frac{RCs}{1 + RCs} \quad (1-2)$$

如果使用数值仿真器如 SPICE，频域敏感度计算只能通过两次 AC 分析用差分近似计算得到。如果要获取关于参数 R 的某一取值范围的所有敏感度，就需要反复进行 AC 分析，完成大量计算，直观性也不强。相比之下，符号化敏感度不仅计算迅捷，而且能用解析的形式表示电路关于参数的依赖关系，除了能用于自动性能优化，还可以配以适当的图形界面将敏感坡度直接展示给设计师，让设计师洞察参数的大范围改变将如何对电路性能发生影响。

1.4 符号化模拟电路仿真器的潜在优势

符号化分析法与数值分析方各有自身的优势和缺点[18][19]：

数值分析法的结果是描述电路特性的数据或者图表。由于计算机技术中数值分析理论的成熟发展，数值分析法的仿真速度较快，其主要可以用来迅速验证电路的功能特性，检验电路是否符合设计的要求。

数值分析法的缺点在于数值分析法无法非常直观地揭示电路性能与各电路元器件的关系，使用数值分析法需要通过反复迭代实验加大量以往设计经验来找出关键元件。同时由于数值分析法得到的结果不够直观，无法自动化地为设计师提供相关的设计修改建议并指出电路所存在的设计问题，因此将该工具局限为简单的设计输入表现输出的仿真步骤。每当电路中某个元件的数值发生变化，就必须重新运行数值分析法重新进行仿真，大大降低了设计师的工作效率。

符号化分析法的分析结果是以符号形式表示的电路特性表达式。一般而言，由于符号化电路分析方法分析的对象是线性电路或者线性化处理过的非线性电路，所以符号化分析主要面向电路的交流 (AC) 特性。不变的电路结构即对应一致的符号化表达式。即电路元件参数数值的变化并不会改变符号化的分析结果。基于该特性，符号化分析方法为模拟电路设计师提供了很多便捷，在其对电路元件进行调节而不是对电路

结构进行调节的时候，对于符号化表达式只需代入不同的数值进行计算，而不需要重新进行符号化分析，大大提高了电路优化设计效率。

符号化分析同样也存在着缺点。同数值方法相比，目前提出的分析方法的运算效率仍然较低；符号化分析的结果，即符号化电路表达式，由一系列的符号化的生成项组成，而对于符号化的分析方法来说，这些生成项的数目随着电路复杂度（电路节点个数）的增加而呈指数增长，因此对于这些项的生成和存储都带来巨大的挑战。由于生成项的这个特点，适用于符号化分析的电路的尺寸受到了限制。在处理非线性电路上，符号化分析方法也存在着本质的缺陷，当前主要适用符号建模方法，将非线性电路予以线性化，CAFFINE[21][22][23][24]使用该种方法，通过设定不同的非线性方程，通过基因编程手段，将电路性能通过 SPICE 仿真数据的拟合和取舍最后得到一组符号化的性能表示。

随着技术的发展，如上缺点的弱化和妥协，使得符号化分析方法的优点逐渐被放大，归纳如下：

- 揭示电路行为特性。符号化的分析方法可以自动得到电路特性的符号化表达式，该表达式是确定性的，不依照电路的参数变化而不同，在需要得到电路计算结果的时候可以带入具体数值或者忽略其中不敏感部分从而简化表达式。
- 避免数值计算过程中每一个步骤的舍入误差以及计算收敛性问题，可以提高设计的可靠性和设计精度。
- 电路分析模型的产生和电路尺寸的自动化调整。符号化的仿真器可以产生描述电路交流特性的分析模型，从而将电路的频域表现与电路尺寸相连，为电路尺寸的调节提供依据。
- 电路结构的交互设计。电路拓扑结构调整后，符号化仿真器可以通过叠加或者消除生成项的方式快速的产生新的电路特性表达式，使用交互式的界面既可以在绘制调整电路结构的同时，对电路表现进行透视。
- 电路参数反复迭代调整。当保持电路结构不变时，符号化的分析结果也不会发生改变。模拟电路设计常常需要进行多次电路参数迭代调整来满足多种约束，获得较为理想的性能，符号化仿真器只需将不同的参数值代入电路表达式进行计算，而无须从头重新执行分析电路的过程。
- 无须使用具体器件来搭建运算放大器、滤波器等模拟电路模块，自动生成其对应的电路表现子图即可，从而为快速进行电路系统的行为分析提供便利。
- 辅助模拟可测性分析和故障检测。

1.5 工艺偏移低敏感性设计背景

上述的设计方式为常规的模拟电路设计，即在确定电路结构以后需要对电路参数进行调整以达到优化电路性能的目的。然而由于芯片生产工艺所具有的不确定性给电路各参数带来的随即偏移，在芯片制造过程中会造成大量芯片不符合系统性能要求。随着生产工艺的尺寸的不断减小，这种现象的出现概率越来越不容忽视。生产良率（Yield）指的是在带随机参数偏移时，生产电路总数中满足性能指标要求电路的百分比^[1]。在这里我们关注由工艺参数偏移引起的参数成品率。如何更好的减少电路性能相对于工艺偏移的敏感性同时保证生产良率是模拟设计中的一个关键问题。

传统的设计方法中，通常难以对良率优化进行直观的分析处理，而只能由费时的反复数值仿真得到的数据加以间接分析。模拟电路设计师使用数值仿真器（如SPICE）对电路进行转角（Corner）或蒙特卡罗（Monte Carlo）分析，所得结果用以估计工艺偏移对电路参数的影响，确定设计空间大小，并在以上分析的基础上实现设计中心化（Design Centering）[19]。一次常规的蒙特卡罗分析通常包含上万次的SPICE仿真过程，费时的仿真过程大大降低了设计验证效率。同时由于无法快捷的确定系统性能对于电路参数的敏感度，设计参数优化成为一个困难的问题。为了保证在最坏情况（Worst Case）电路仍然可以满足要求，设计师通常会留出过于保守的性能裕量。而这种做法通常会导导致电路设计中面积和功耗等的浪费。

使用符号化分析方法时，由于电路的结构没有做改变，对应于蒙特卡罗方法的数以万计的仿真分析过程在这里仅对应于一次符号化电路分析过程和同等次数的符号化表达式求值，大大加快了电路仿真效率。

1.6 本章小结

对于数值分析法而言，虽然算法的效率高，对大规模的电路也有较好的支持，但是其本身的特点局限了其对模拟电路设计的自动化支持。相比而言，符号化分析方法在迭代反复进行电路优化的特性是难以被超越的，在工艺偏移对电路性能及生产良率影响都愈加重要的今天，我们希望能找到一种将符号化仿真器适当应用，以达到提升模拟电路设计师设计效率的方式。

第二章 CMOS 小信号模型提取

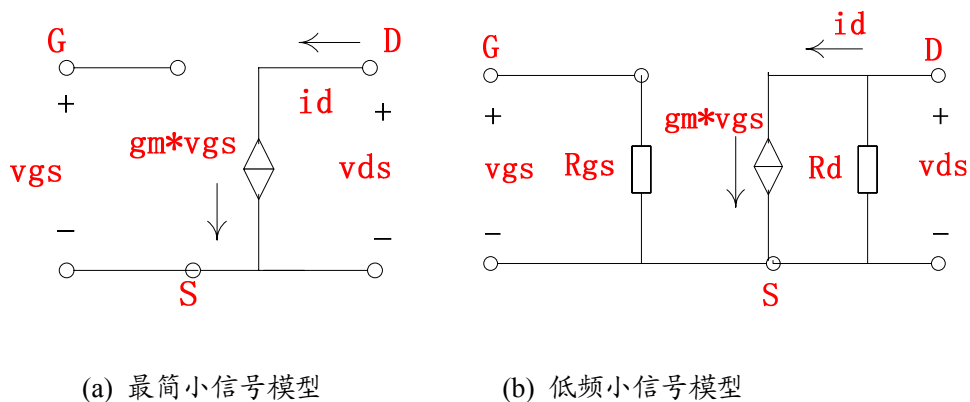
2.1 符号化仿真器关于小信号模型的依赖性

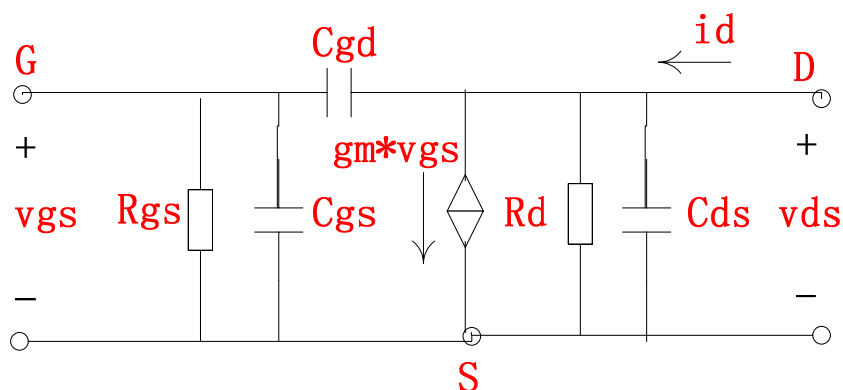
由上一章的原理描述我们知道符号化分析问题的规模会随着节点数而呈指数增加，这就为实际符号化分析的时候带来了一个问题：我们在为非线性电路进行线性化以便后续进行符号化分析的时候需要将 CMOS 晶体管用其小信号模型代替，复杂的小信号模型将在替换每一个晶体管时出现更多的子节点，累计所有的晶体管后将大大复杂问题。因此，我们在保证仿真精度的前提下，为了符号化仿真器的可处理电路规模能够最大化，需要进行 CMOS 小信号模型的选取和提取。

2.2 CMOS 小信号模型的使用

在传统模拟电路设计过程中，设计师需要在计算电路交流响应时使用简单的小信号模型替换晶体管，进行初步手工计算。这个步骤简单来说就是将 MOS 管的小信号模型带入确定下来的电路结构中，通过计算当前元件参数值确定的情况下的各通路电流、电压等，判断各目标性能指标是否可以达到。

手工计算中常用的简化模型有以下几种：





(c) 高频小信号模型

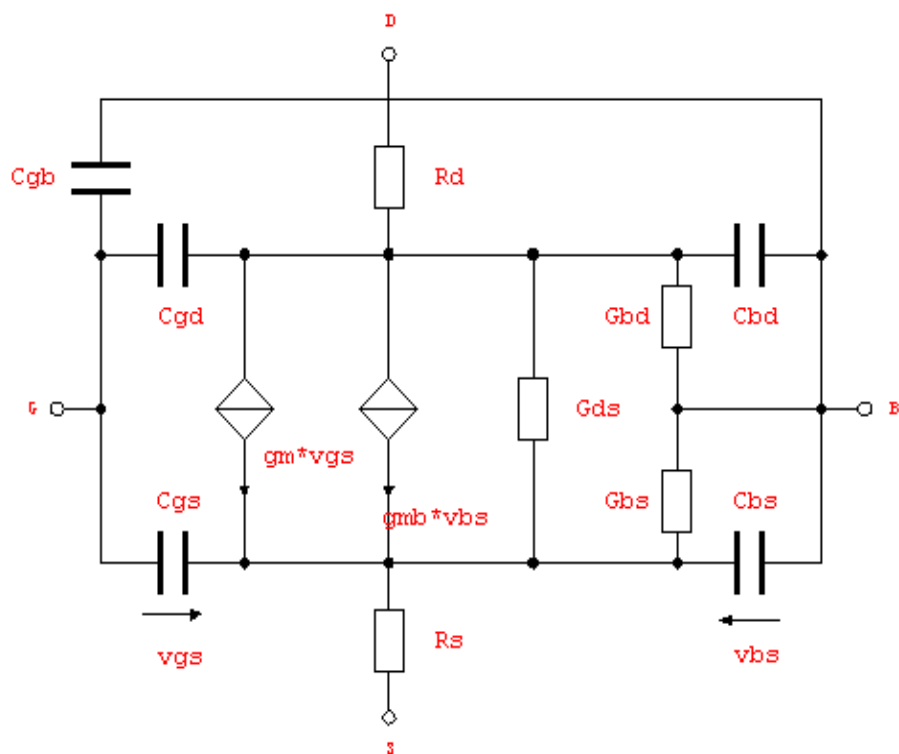
图表 2-1 常用手工计算小信号模型

Fig. 2-1 Common hand-calculate small signal models

如图 2-1(c)高频小信号模型的复杂度已经达到可以手工计算的极限，一般在设计的初始采用图 2-1(a)和图 2-1(b)中的简化模型，来得到对电路的一个直观感觉，但通常来说这个精度的模型仅可以保证 30%左右的精度。

更为精确的集成电路设计需要更精确的电路仿真，而后者需要使用更加复杂的晶体管模型。随着器件尺寸随着每一代工艺技术不断降低，器件工艺在每一代制造中都有所进步，需要使用更新的器件模型来反映晶体管的行为。

在 0.25 μm 工艺及以上，MOS3(SPICE LEVEL3, 半经验模型)是可以达到所需精度的，其涵盖了如下的一系列二级效应[25][26]: (1)短沟道效应对阈值电压的影响，(2)静电反馈效应对阈值电压的影响，(3)表面电场对载流子迁移率的影响，(4)载流子的极限漂移速度引起的沟道长度调制效应等。



图表 2-2 MOS3 小信号模型
Fig. 2-2 MOS3 small signal model

著名的 BSIM (Berkeley Short-channel IGFET Model)为伯克利大学开发的一组 MOSFET 晶体管模型[27], 用来针对小尺寸工艺的高频设计提供必要的精度, 其复杂的参数和操作使得该模型只适用于 SPICE(Simulation Program with Integrated Circuit Emphasis)等数值仿真器, 依据模型参数进行查表和矩阵操作加以利用。

2.3 小信号模型参数确定

虽然在传统模拟设计中进行仿真时经常使用设计师所能得到的最精确模型, 如 TSMC 提供的.18 模型库 (对应 BSIM3V3 模型), 但由于基本为纯数值处理而无明确电路模型的 BSIM 模型不适用于符号化仿真器, 并且每个模型中所包含模型参数和节点的个数会对符号化仿真器性能产生指数级影响, 因此我们采取精度和参数规模平衡模型, MOS3 小信号模型。

在进行符号化电路仿真时需要提前确定电路的直流工作点和模型中各参数值，该部分的工作是使用数值仿真器（如 SPICE）在 BSIM 模型库的条件下进行计算所得。做符号化分析的后续过程中我们准备使用 MOS3 模型来做频域相应分析，因此需要确认着两个模型之间的可迁移性，即每一个参数在 BSIM 和 MOS3 两种模型中意义和计算方式是一致的。

2.3.1 MOS3 与 BSIM 模型的参数对应

- MOS3 小信号模型中各参数意义如下[28][47][48]:

表格 2-1 MOS3 小信号模型参数含义

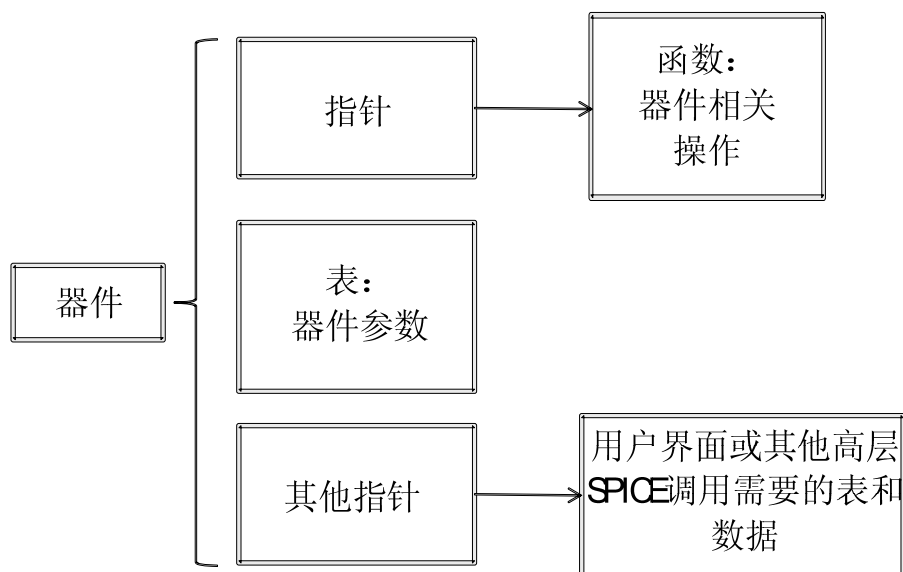
Table 2-1 Parameter descriptions of MOS3 small signal model

参数名	含义	参数名	含义
Gm	跨导	Gmb	反栅跨导
Gds	漏源导纳	Gbd	基漏导纳
Gbs	基源导纳	Cbd	基漏电容
Cbs	基源电容	Cgb	基栅电容
Cgd	栅漏电容	Cgs	栅源电容
Rd	轻掺杂区漏电阻	Rs	轻掺杂区源电阻

- 由 BSIM4.6.1 用户手册[30]可以看到，虽然如上参数的计算方式会随着工艺变化而产生新生沟道，掺杂，离子化等复杂效应的变化，但各参数的意义始终没有变化。这也是由各工业界公司组成的紧密模型委员会(CMC[31], Compact Model Council)为了标准模型在不同的电路仿真器中可以通用而做出的努力。

2.3.2 MOS3 与 BSIM 在 SPICE 中的计算方式研究

在保证了 BSIM 和 MOS3 各参数意义相同的基础上我们需要进一步保证进行直流工作点计算的数值仿真器，如 SPICE，对于各个参数的调用方式一致[32][33][34]。



图表 2-3 SPICE 器件描述格式
Fig. 2-3 SPICE Device Description Format

通过阅读 SPICE 的源代码, 查看其对器件库中的 MOS3 和各种 BSIM 模型的处理方式, 观察其中对我们最重要的做频域分析时载入各参数的描述文件中以上参数的使用机制, 可以看到各参数在两类模型中的调用方式均是匹配的。

通过如上的两方面验证, 我们确认了 MOS3 和 BSIM 两种模型之间的参数命名和调用方式完全一致, 从而保证了系统初始利用 BSIM 模型得到的直流工作点和各参数值可以顺利的抽取为 MOS3 中的参数。

2.4 小信号模型提取原始网表语法实例及规范说明

为了正确的进行小信号模型抽取和新建 GRASS 兼容网表, 我们需要对原始输入网表的格式有一定的语法规规范要求:

- (1) 各部分书写应该依据以下顺序:
 - a) 设计名称
 - b) IO 定义
 - c) V/I 独立源
 - d) 电路拓扑结构, 无源器件

- e) 电路拓扑结构，有源器件（晶体管集合）
 - f) 选项
- (2) 自定义输入输出放置于网表的第二行，其格式为”*IODEF: VIN 20 1 VOUT 13”。其中”*IODEF:”为输入输出定义前缀；”VIN”为输入源名称，”20”为输入源端口；”1”为输入源 AC 值大小；”Vout”为输出源名称，”13”为输出源端口。忽略大小写
- (3) 电路中除了”vdd, gnd, vout, vin”可以作为字符端口名外，其他端口需为数字
- (4) 需要定义如下选项”.options list node post=2 probe”，这是为了得到对晶体管参数进行抽取规范文件格式的状态描述文件 (.lis) [35]。其中：
- a) “list”选项生成需要打印的输入元件数据摘要，并计算元件的有效尺寸和关键参数值。
 - b) “node”选项打印了一个交叉查询表，该表列举了所有节点和所有连接在其上的元件。
 - c) “post=2”选项选择输出格式为 ASCII
 - d) “probe”选项通过限制后分析（post-analysis）的输出大幅减少了仿真输出文件的大小
- (5) 需要定义”.op”选项，指示仿真器计算出电路的直流工作点

符合以上语法原则的标准输入电路示例如下：

```
* Bandwidth and phase for the three-stage opamp *title
*IODEF: VIN 11 1 VOUT 12
.lib "log018.l" TT_3V
```

```
* Independent Source
Vdd vdd gnd 2.8
Vin 11 gnd dc 1.4 ac 1.0
Ibias1 2 gnd 62.8u
Ibias2 vdd 5 39.7u
Ibias3 9 gnd 18u
```

```
* Opamp circuit
* Compensation capacitors
Cc1 4 8 5p
```


Cc2 7 1 20p

Rc 8 12 600

Rc2 1 10 5

** Load capacitor*

Cl 12 gnd 30p

** BW and phase test statement*

C2 10 gnd 1g

L1 10 12 1g

**The first differential input stage*

M1 3 10 2 2 nch3 L=0.5u W=8u

M2 4 11 2 2 nch3 L=0.5u W=8u

M3 3 3 vdd vdd pch3 L=0.5u W=2u

M4 4 3 vdd vdd pch3 L=0.5u W=2u

**The second stage*

M5 6 4 5 5 pch3 L=0.5u W=60u

M6 7 9 5 5 pch3 L=0.5u W=60u

M7 6 6 gnd gnd nch3 L=0.5u W=8u

M8 7 6 gnd gnd nch3 L=0.5u W=8u

** The third CS stage*

M9 12 4 vdd vdd pch3 L=0.5u W=80u

M10 12 7 gnd gnd nch3 L=0.5u W=6.5u

** Bias current branches*

M11 9 9 vdd vdd pch3 L=0.5u W=1.15u

** Analysis*

.options list node post=2 probe

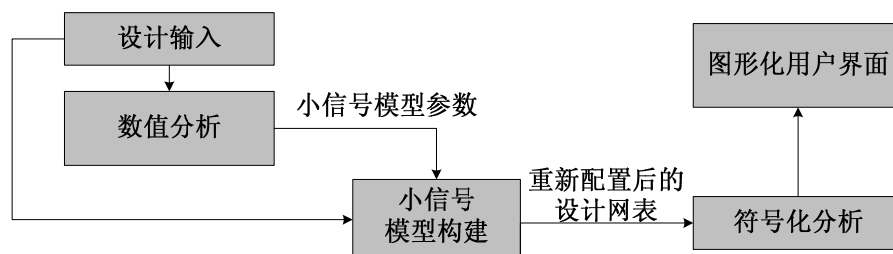
.op

.ac dec 10 1 1g

.print ac VDB(12) VP(12)

.END

2.5 小信号模型提取方法及流程



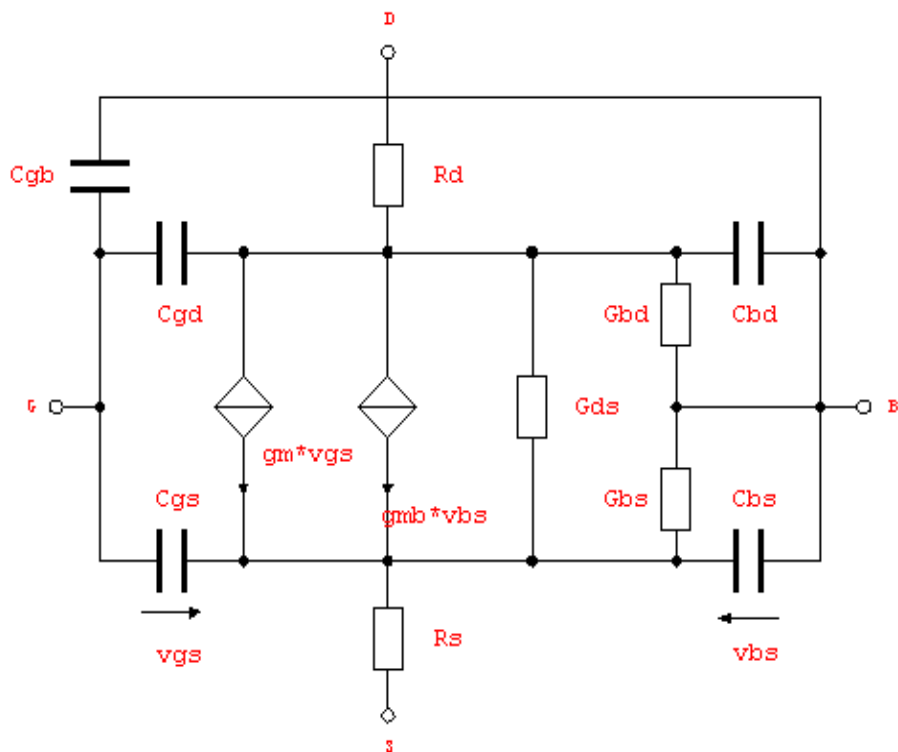
图表 2-4 GRASS 工作流程

Fig. 2-4 GRASS Work Flow

如图所示，需要将小信号模型抽取分为几个部分

- (1) 使用数值仿真器，如 HSPICE 等，和常用晶体管库(如 TSMC .18lib)建立整个电路的直流工作点和对应的 BSIM 等复杂小信号模型参数
- (2) 抽取其中各晶体管直流工作点及各寄生参数
- (3) 依据以上抽取参数为各晶体管构建 MOS3 模型
- (4) 构建符号化仿真器 GRASS 兼容的整体网表
- (5) 输入 GRASS 中进行后续电路符号化分析处理

由第一步进行一次数值化方式的电路仿真后，我们得到一个表征状态的输出文件(通常以*.lis 结尾)。其中我们可以找到用于构建 MOS3 小信号模型的所需的各晶体管参数值及各参数抽取位置如表 2-2 所示：



图表 2-5 MOS3 小信号模型抽取说明

Fig. 2-5 MOS3 Small Signal Model Extraction Description

表格 2-2 小信号模型具体抽取位置

Table 2-2 Small Signal Model Extraction Location

小信号模型参数	抽取位置			
Cgb	cgbo = 0 推断计算: $Cgb = cgbo * cgs / cgso = 0$			
Rd = rd eff	**** mosfets			
Rs = rs eff	**** BSIM3v3 Model (Level49 or Level53)			
Cbd = capbd	element name	0:m1	0:m2	0:m3
Cbs = capbs	...			
	rd eff	170.0000m	170.0000m	720.0000m
	rs eff	170.0000m	170.0000m	720.0000m
	...			
	capbd	7.4799f	7.4799f	1.9221f
	capbs	7.4799f	7.4799f	1.9221f
	...			

Gbd = 1/rbd	subckt	xopamp1	xopamp1	xopamp1	xopamp1
Gbs = 1/rbs	element	1:m1	1:m2	1:m3	1:m4
	model	0:nch3.7	0:nch3.7	0:pch3.7	0:pch3.7
	region	Saturati	Saturati	Saturati	Saturati
	...				
	ibs	-5.263e-21	-5.262e-21	4.364e-21	4.364e-21
	ibd	-1.8764f	-2.1707f	18.2966f	16.3143f
	...				
	vds	965.5603m	970.3520m	-1.3568	-1.3520
	vbs	0.	0.	0.	0.
	推断计算: rbd =vbd/ibd= vsd /ibd, rbs =vbs/ibs				
Gm = gm	**** mosfets				
Gmb = gmb	subckt				
Gds = gds	element	0:m1	0:m2	0:m3	0:m4
Cgd = cgd	model	0:p	0:p	0:n	0:n
Cgs = cgs	region	Saturati	Saturati	Saturati	Saturati
	...				
	gm	1.7457m	1.7457m	996.6583u	996.6583u
	gds	7.1457u	7.1457u	4.3757u	4.3757u
	gmb	0.	0.	0.	0.
	...				
	cgs	114.2261f	114.2261f	19.0377f	19.0377f
	cgd	10.1017f	10.1017f	1.7317f	1.7317f

通过对表 2-2 中的各参数抽取位置进行模式匹配，从而在判断出的合适的区域取得或计算出各晶体管对应的正确的参数值。我们再将各参数如图 2-5 所示构造成对应每一个晶体管小信号模型，同时若参数值为零，我们对该部分进行断开或短接从而进一步有效减少小信号模型规模。

小信号模型中参数的抽取独立于晶体管的工作区，即不论晶体管工作在截止区，线性区或者饱和区，小信号模型结构不变，工作区的不同仅由不同参数值的改变表征。同时虽然部分参数依赖于电路的静态工作点，而其他参数仅依赖于器件的结构，如表 2.3 所示，但是其抽取流程同样是统一的。

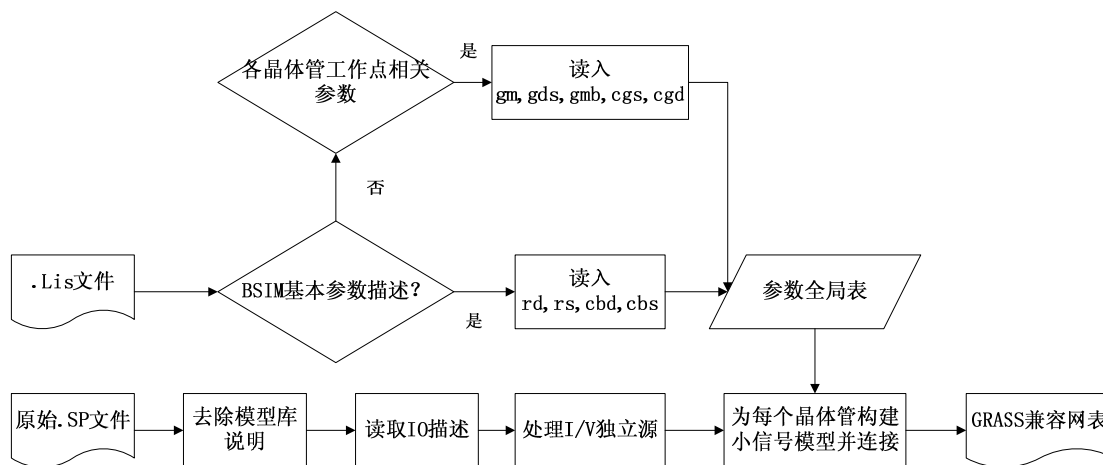
表格 2-3 小信号模型参数依赖性*
Table 2-3 Small Signal Model Parameter Dependencies

小信号模型参数依赖性	电路工作点	器件结构
参数名	gm, gmb, gds, cgd, cgs, gbd, gbs	rd,rs,cbd,cbs

*该结果来源工作点变换及参数设置检查实验

我们最终得到小信号模型抽取流程如图 3-5 所示：

- 1) 由状态描述文件 (.lis) 进行 BSIM 小信号模型参数的抽取，分别在不同位置读取不同参数值，将其共同存储入一个参数全局表中；
- 2) 同时，将原电路描述文件 (.sp) 进行所需的文件处理，如处理电流/电压独立源，根据特定的输入输出描述去除电路中与交流相关部分；
- 3) 将第一步中得到的全局参数表中各参数根据 MOS3 模型的构建方式组合为一个完整的晶体管小信号模型
- 4) 将第三步中得到的独立小信号模型集合入第二步中处理后的电路描述网表中，按照 GRASS 兼容格式进行端口及其他必须调整



图表 2-6 小信号模型抽取流程
Fig. 2-6 Small Signal Model Extraction Work Flow

2.6 小信号模型抽取程序使用范例

小信号程序使用 Tcl (Tool Command Language, 一种在快速进行实例编写和测试中常用的脚本语言) 进行编写。输入文件包括两部分: 根据如上语法要求进行小幅改写后的网表; 使用数值仿真器 (如 HSPICE) 进行初始仿真所得的包含小信号模型参数的状态文件。

在将相关 tcl 文件置于与如上两部分文件同一层目录后, 使用命令行运行如下命令即可得到 GRASS 兼容的网表, 来进行后续符号化分析工作:

- (1) hspice bw_opamp_3stage_lvl49.sp, 得到直流工作点
- (2) mos_extract bw_opamp_3stage_lvl49.lis, 得到参数全局表
- (3) build_grass_sp bw_opamp_3stage_lvl49.sp, 得到 GRASS 兼容网表

2.7 小信号模型复杂度对精度影响比较

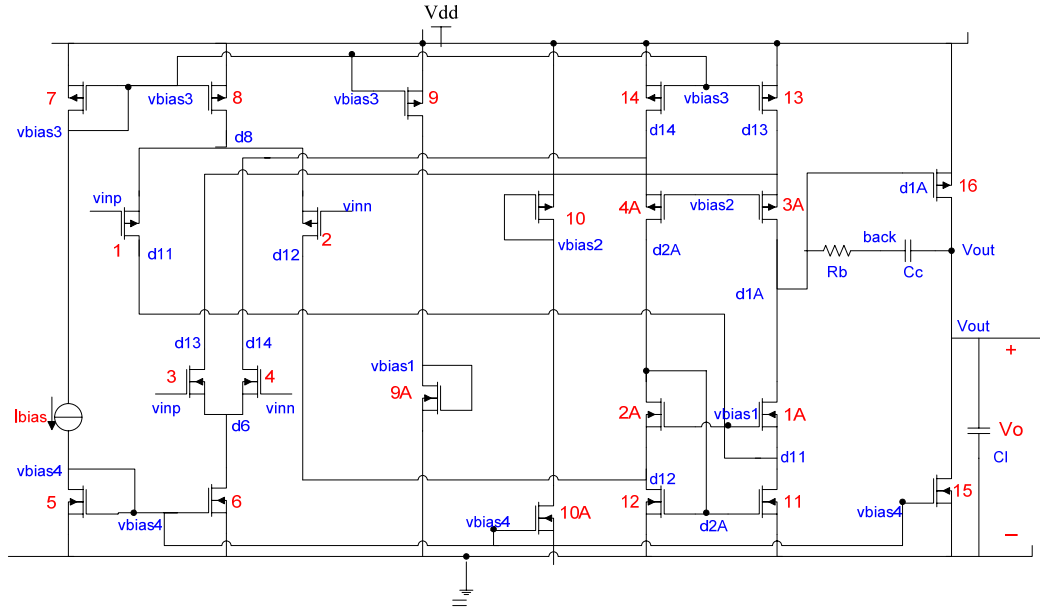
为了说明数值仿真中使用的复杂小信号模型 (BSIM3v3) 和我们选定为 GRASS 使用简单小信号模型 (MOS3) 在精度上的差异, 保证我们今后仿真的精确性, 我们使用三个测试案例分别对两种模型进行测试以观察其仿真结果差异。

表格 2-4 测试环境

Table 2-4 Testing Environment

Testing Env	Information
CPU	Intel(R) Core(TM)2 CPU T5500 @1.66GHz
Memory	1GB Physical Memory, 2GB Virtual Memory
HSPICE	For Windows Version A-2007.09
Model Library	TSMC .18 Process - log018.l(BSIM3V3)

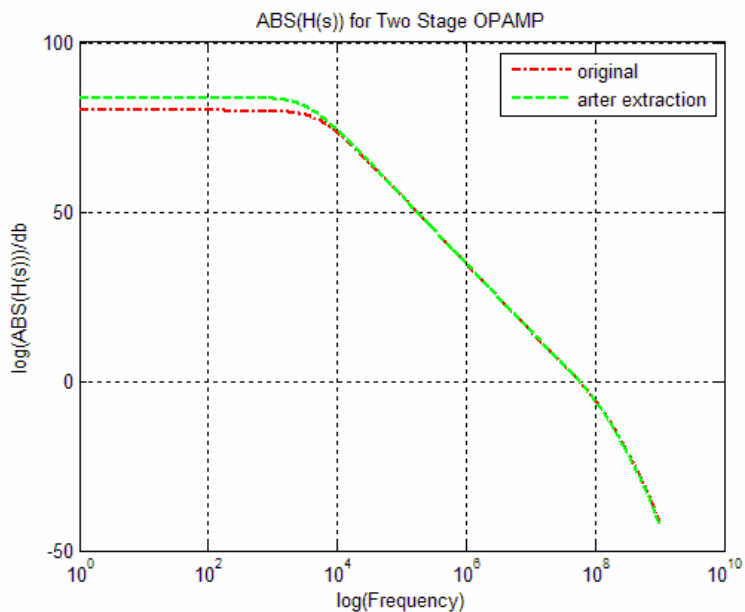
2.7.1 两级运算放大器简单及复杂小信号模型比较测试



图表 2-7 两级运算放大器结构[36]

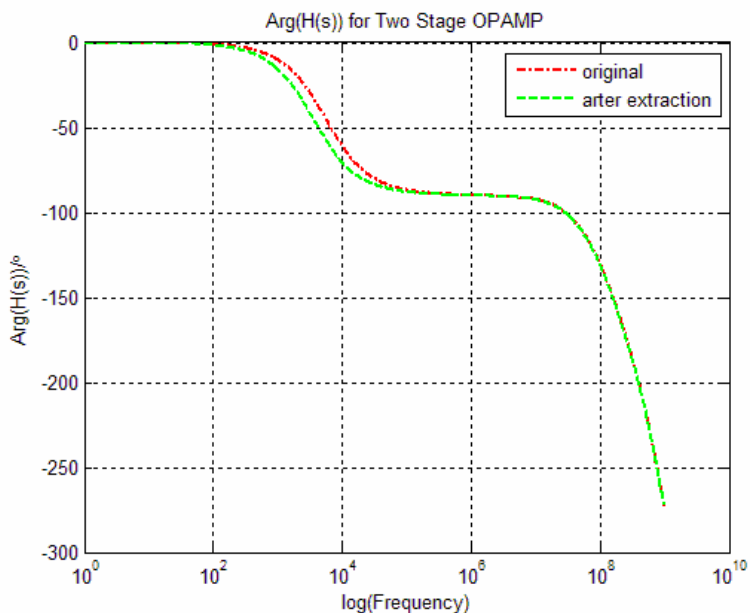
Fig. 2-7 Two Stage Op Amp Structure

如图为典型两级运算放大器构成，使用该结构在我们预设的测试环境下得到运放的频域响应幅度在两种小信号模型中的表现如图 2-7，频域响应相位如图 2-8。其中”original”线代表的为进行小信号模型抽取前 BSIM3V3 的所得电路仿真结果，而”after extraction”线代表进行小信号参数抽取并构建 MOS3 模型后所得的电路仿真结果。



图表 2-8 两级放大器复杂与简单小信号模型频域响应幅值比较

Fig. 2-8 Magnitude of Frequency Response of Two Stage Op Amp with Complex and Simple Small Signal Model



图表 2-9 两级放大器复杂与简单小信号模型频域响应相位比较图

Fig. 2-9 Phase of Frequency Response of Two Stage Op Amp with Complex and Simple Small Signal Model

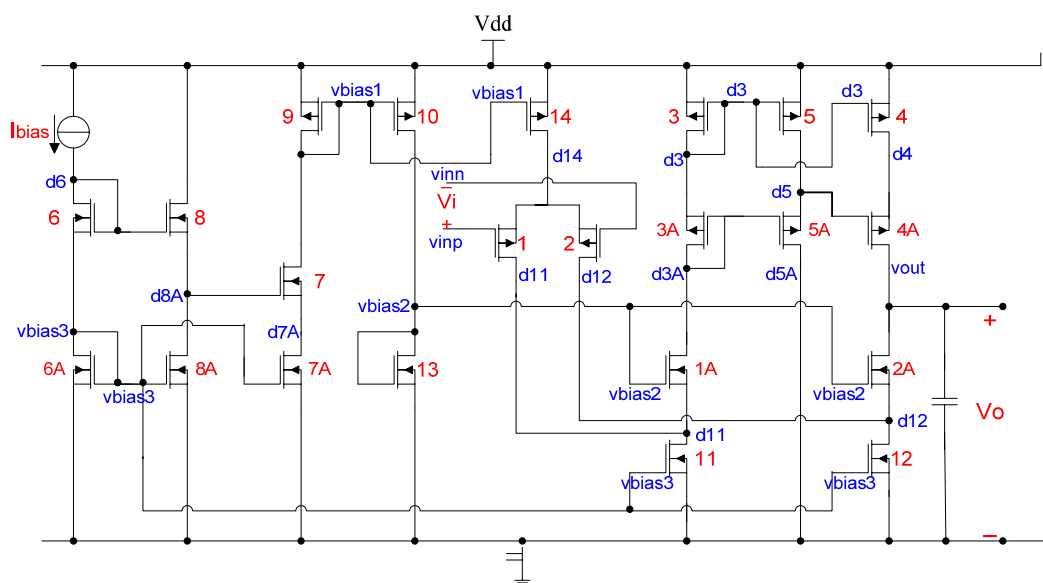
由如上使用复杂（BSIM3V3）及简单（MOS3）小信号模型性能对比表现我们可以得到两种小信号模型在两级运算放大器电路中的仿真结果及统计误差为：

表格 2-5 两级运算放大器复杂及简单小信号模型仿真比较

Table 2-5 Performance Comparison of Two Stage Op-Amp with Complex and Simple Small Signal Model

2stage OPAMP	BSIM3V3	MOS3	Difference
Open loop Gain(db)	79.8	83.7	4.8%
Unity-Gain Bandwidth(MHz)	56.3	56.4	1.7%
Phase margin(degree)	68	67	1.4%

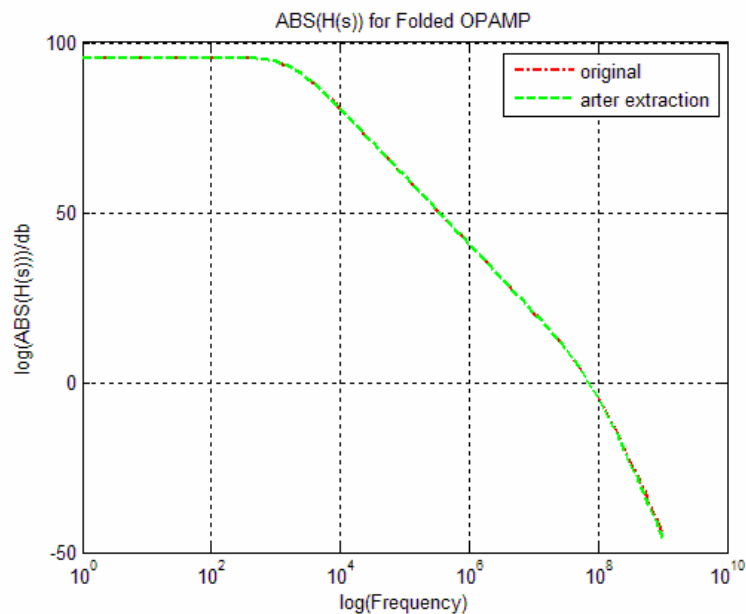
2.7.2 折叠级联放大器简单及复杂小信号模型比较测试



图表 2-10 折叠级联运算放大器结构[36]

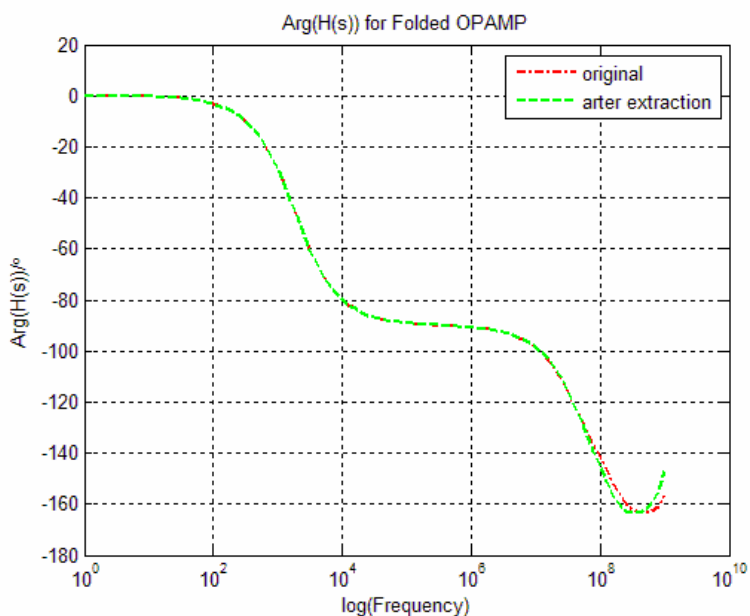
Fig. 2-10 Folded Cascode Op-Amp Structure

如图为典型折叠运算放大器构成，使用该结构在我们预设的测试环境下得到运放的频域响应幅度在两种小信号模型中的表现如图 2-10，频域响应相位如图 2-11。其中”original”线代表的为进行小信号模型抽取前 BSIM3V3 的所得电路仿真结果，而”after extraction”线代表进行小信号参数抽取并构建 MOS3 模型后所得的电路仿真结果。



图表 2-11 折叠级联放大器复杂与简单小信号模型频域响应幅值比较图

Fig. 2-11 Magnitude of Frequency Response of Folded Cascode Op Amp with Complex and Simple Small Signal Model



图表 2-12 折叠级联放大器复杂与简单小信号模型频域响应相位比较图

Fig. 2-12 Phase of Frequency Response of Folded Cascode Op Amp with Complex and Simple Small Signal Model

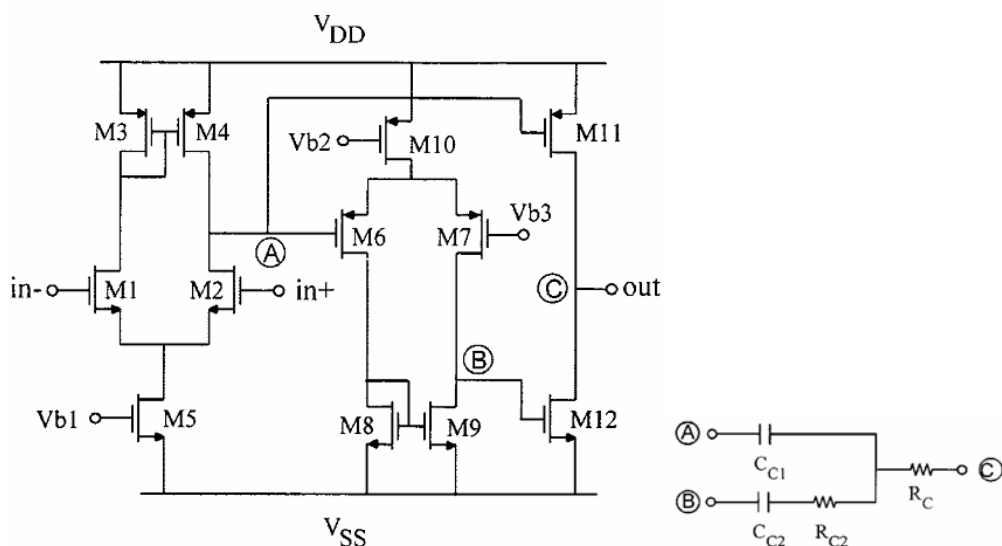
由如上使用复杂（BSIM3V3）及简单（MOS3）小信号模型性能对比表现我们可以得到两种小信号模型在两级运算放大器电路中的仿真结果及统计误差为：

表格 2-6 折叠级联运算放大器复杂及简单小信号模型仿真比较

Table 2-6 Performance Comparison of Folded Cascode Op-Amp with Complex and Simple Small Signal Model

Folded cscode OPAMP	BSIM3V3	MOS3	Difference
Open loop Gain(db)	95.5	95.5	0%
Unity-Gain Bandwidth(MHz)	70.8	71.8	1.4%
Phase margin(degree)	46	43	6.5%

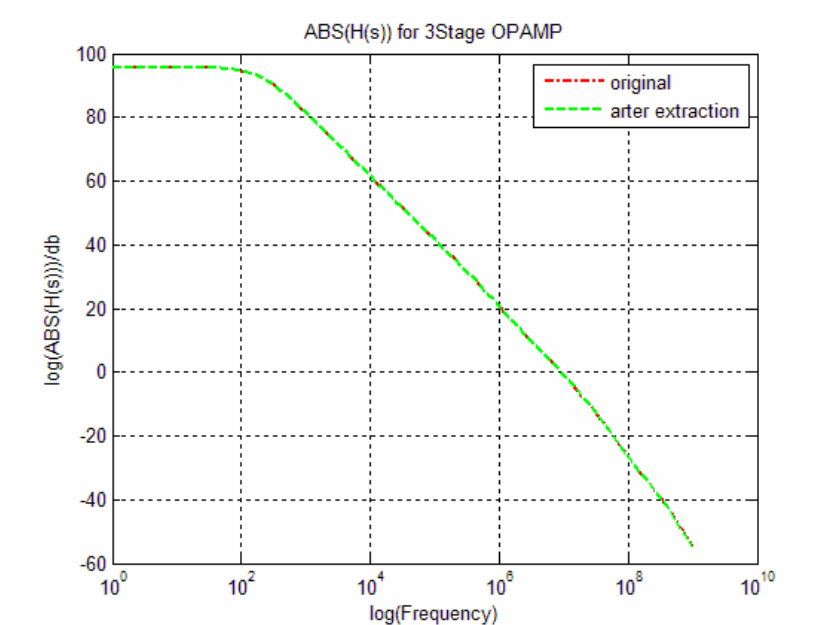
2.7.3 三级运算放大器简单及复杂小信号模型比较测试



图表 2-13 三级运算放大器及其反馈结构[37]

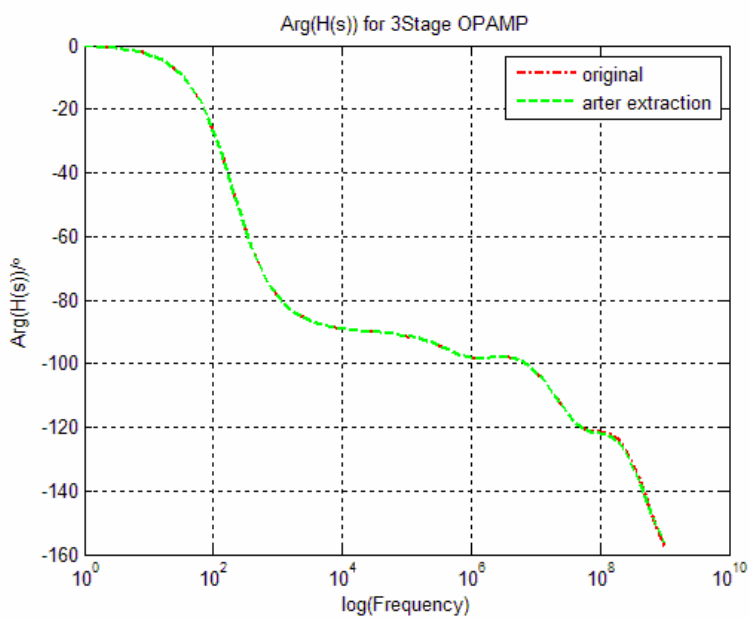
Fig. 2-13 Three Stage Op-Amp Structure

如图为典型三级运算放大器构成，使用该结构在我们预设的测试环境下得到运放的频域响应幅度在两种小信号模型中的表现如图 2-13，频域响应相位如图 2-14。其中”original”线代表的为进行小信号模型抽取前 BSIM3V3 的所得电路仿真结果，而”after extraction”线代表进行小信号参数抽取并构建 MOS3 模型后所得的电路仿真结果。



图表 2-14 三级运算放大器复杂与简单小信号模型频域响应幅值比较图

Fig. 2-14 Magnitude of Frequency Response of Three Stage Op Amp with Complex and Simple Small Signal Model



图表 2-15 三级运算放大器复杂与简单小信号模型频域响应相位比较图

Fig. 2-15 Phase of Frequency Response of Three Stage Op Amp with Complex and Simple Small Signal Model

由如上使用复杂（BSIM3V3）及简单（MOS3）小信号模型性能对比表现我们可以得到两种小信号模型在两级运算放大器电路中的仿真结果及统计误差为：

表格 2-7 三级运算放大器复杂及简单小信号模型仿真比较

Table 2-7 Performance Comparison of Three Stage Op-Amp with Complex and Simple Small Signal Model

3stage OPAMP	BSIM3V3	MOS3	Difference
Open loop Gain(db)	95.7	95.7	0%
Unity-Gain Bandwidth(MHz)	9.17	9.17	0%
Phase margin(degree)	88	88	0%

由以上三例测试可以看到简单 MOS3 小信号模型虽然在高频时与复杂 BSIM3V3 小信号模型相比存在着一定的误差，但最大 6.5%的误差完全在满足用户精度要求范围内，在低频时其则是完全精确地。因此，我们使用 MOS3 小信号模型在进行符号化仿真时替代数值仿真时使用的 BSIM 模型是正确而有效的。

2.8 本章小结

将非线性电路进行线性化，即用适当的小信号模型替代电路中的 CMOS 晶体管是使用符号化方法进行仿真不可或缺的一步。我们为了使用符号化方法可以处理尽可能复杂的、规模更大的电路，同时保证设计必须的仿真精度，需要进行 CMOS 小信号模型选取和抽取。经过理论验证及实验比较我们可以确定我们选定的 MOS3 小信号模型在替代复杂 BSIM3V3 小信号模型时，有效地保证了如上目标，在减少了符号化方法处理电路节点数的基础上保留了仿真精度。我们选取的小信号模型是简单而有效的。

第三章 工艺偏移低敏感性设计方法

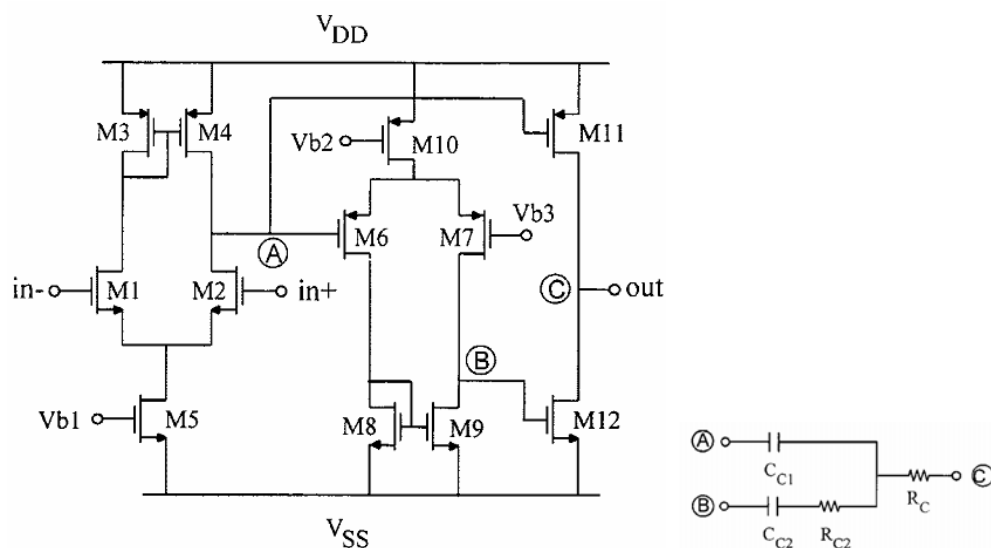
3.1 工艺偏移低敏感性设计需求

模拟电路设计中，在确定电路结构以后需要对电路参数进行调整以达到优化电路性能的目的。然而由于芯片生产工艺所具有的不确定性给电路各参数带来的偏移，在芯片制造过程中会造成大量生成芯片不符合系统性能要求。

总成品率（Yield）指的是在随机参数偏移和参数范围限制的要求下，生产出的电路总数中满足系统设计要求的电路比例。在这里我们关注由于工艺参数偏移引起的参数成品率。

传统的设计方法中，这类问题的硬性处理由模拟电路设计师使用数值仿真器（如 SPICE）对电路进行转角（Corner）或蒙特卡罗（Monte Carlo）分析，用以模拟工艺偏移对电路参数的影响，确定设计空间大小。一次常规的蒙特卡罗分析通常包含上万次的 SPICE 仿真过程，因此设计中心的确定（Design Centering）经常会花费很久的时间。同时由于无法确定系统性能对于电路参数的敏感度，无法进行针对该问题的有效参数值选择。为了保证在最坏情况（worst case）电路仍然可以满足要求，此时设计师一般均会留出足够的性能裕量。通常这种做法会导致电路设计中的浪费，增大芯片的面积和功耗等。

3.2 传统考虑良率的多级放大器设计范例



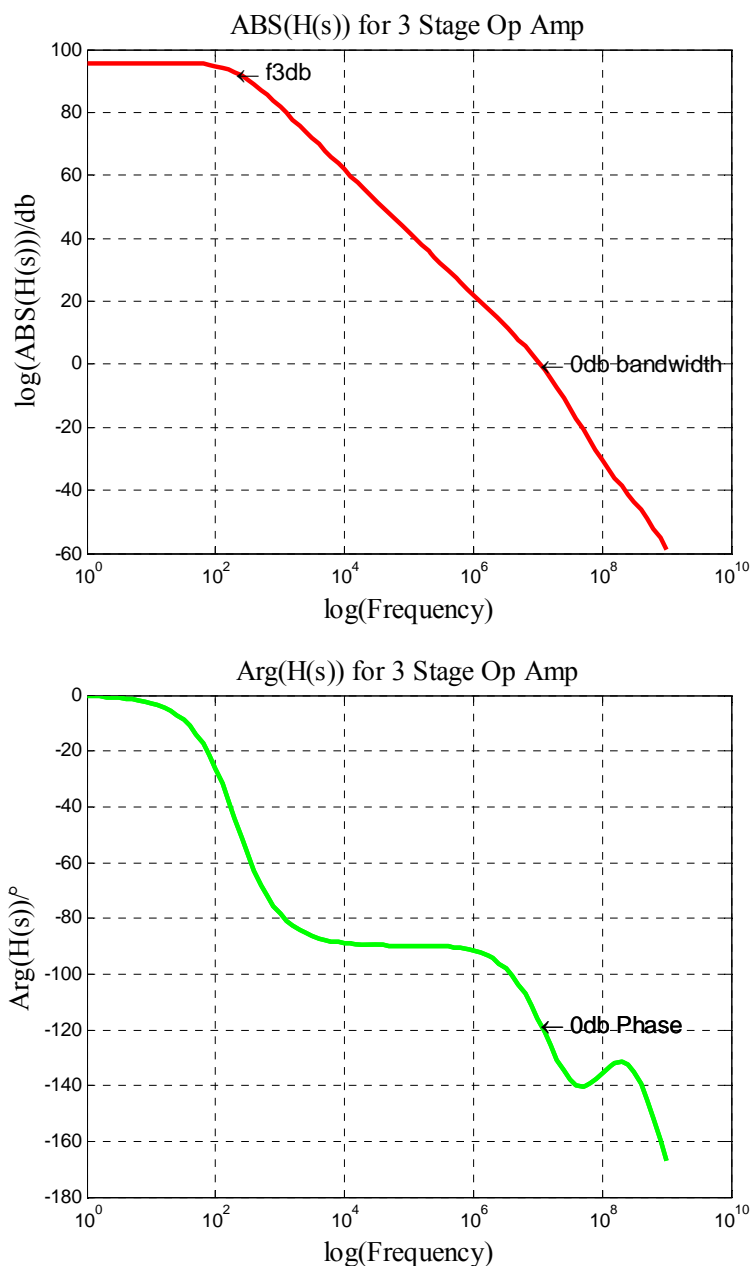
图表 3-1 多级运算放大器电路结构示例[37]

Fig. 3-1 Multi-stage Op-Amp Structure

如图 3-1 所示为一个结构工整的多级运算放大器^[6]。使用嵌套米勒补偿 (Nested-Miller Compensation) 的多级放大器的性能设计非常依赖于反馈回路使用的元件参数的选取。同时由于这些 RC 参数一般不是独立影响电路性能，而是以相关方式综合影响电路性能，这给电路设计师优化电路性能带来了困难。

传统方式下使用 HSPICE 进行优化时通常会先使用 HSPICE 自带的优化功能取得相位裕度 (Phase margin) 和增益带宽积 (Gain-BandWidth product, GBW) 的极值，随后使用手工调整参数来优化系统。通常由于数值工具的局限性，设计师不知道手工选择的参数是否处于比较可靠、易于抵御工艺偏移的区域。

假如我们由电路的稳定性要求设定系统可接受性能范围为 $A_p = \{P \mid \text{Phase margin} > 60^\circ\}$ ，并通过初步设计选取初始反馈回路各参数为 $C_{c1} = 5\text{pF}$ ， $C_{c2} = 20\text{pF}$ ， $R_{c1} = 600\Omega$ ， $R_{c2} = 5\Omega$ 。此时增益带宽积为 11MHz，相位裕度为 62° ，基本满足系统要求。

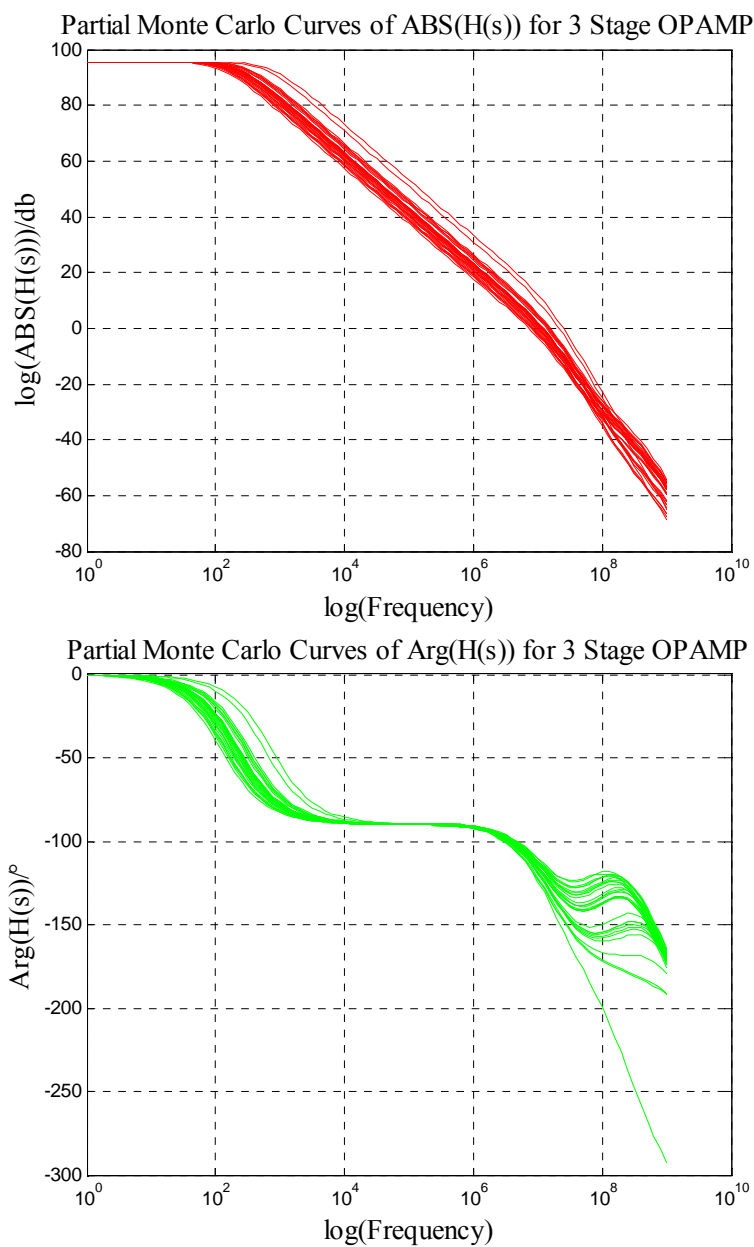


图表 3-2 三级运算放大器初始频域响应

Fig. 3-2 Frequency Response of Three Stage Op-Amp

在设计实践中我们知道一组能达到设计指标的参数组合并不意味着这样的设计可以用于流片。下一步重要工作是通过仿真确定一些重要参数在按一定统计分布变化时系统性能的统计属性。如，电阻和电容通常是呈高斯分布，我们针对反馈回路中的 R_{C1} 和 C_{C1} 做名义设计参数 (Nominal Parameters) 为均值， R_{C1} 取 120 欧姆标准方差，

C_{C1} 取 5pF 标准方差[38]的高斯分布的 5000 次蒙特卡罗分析，得到图 3-3 蒙特卡罗分析的部分曲线对应图，表 3-1 蒙特卡罗的分析结果。



图表 3-3 三级放大器蒙特卡罗分析部分曲线示意图

Fig. 3-3 Partial Monte-Carlo Analysis Figure of Three Stage Op-Amp

表格 3-1 蒙特卡罗分析结果 (5000 次)

Table 3-1 Monte Carlo Analysis Results (5000 times)

	Mean(μ)	Std. var. (σ)	Max	Min
GBW(MHz)	12.0924	6.3669	234.525	5.3178
PM($^{\circ}$)	60.8063	12.5171	418.969	1.3394
Gain(db)	95.6924	69.4664u	95.6925	95.692

从表 3-1 中蒙特卡罗分析结果数据可以看到, 虽然当前反馈电路组合在确定性情况下是满足系统要求的, 但由于存在电阻和电容的随机工艺偏移, 并不是所有的生产点均可以工作在系统要求范围的。数据表明, 虽然系统增益对电路工艺偏移并不敏感, 但增益带宽积和相位裕度均受到很明显的影晌。

3.2 数值化良率分析

良率 (Yield) Y 可以被定义为一个产出电路在所有工作条件下满足性能要求的可能性, 即

$$Y = \text{prob}\left\{ \forall_{x_r \in T_r} f_L \leq f(x_d, x_s, x_r) \leq f_U \right\} \quad (3-1)$$

其中 f_L 、 f_H 分别代表电路性能要求的上限和下限, T_r 为参数限制范围, x_r , x_d , x_s 代表电路中各类参数。成品率的大小在 0%~100%之间。如果没有电路性能要求限制, 即没有 f_L 和 f_H 的限制, 根据式 3-1, 良率将为 100%。

针对蒙特卡罗分析, 良率可以定义为分析中满足系统要求的比例^[1], 即:

$$Y = \frac{1}{n_{MC}} \sum_{\mu=1}^{n_{MC}} \delta(x_s^{(\mu)}) = \frac{n_{ok}}{n_{MC}} = \frac{\#\{\text{accepted sample elements}\}}{\text{sample size}} \quad (3-2)$$

其中, n_{MC} 为蒙特卡罗分析样本数, μ 为样本编号, $\delta(x)$ 为判别当前参数组对应电路是否满足系统要求。即

$$\delta(x_s^{(\mu)}) = \begin{cases} 1, & \text{if } P \in A_P \\ 0, & \text{if } P \notin A_P \end{cases} \quad (3-3)$$

x_s 为优化参数集合， P 为当前参数组对应系统性能， A_P 系统可接受性能范围。

作为示例，我们用双参数优化问题说明良率的大致计算方法。上例中 $x_s = \{R, C\}$ 。双参数联合概率分布函数为：

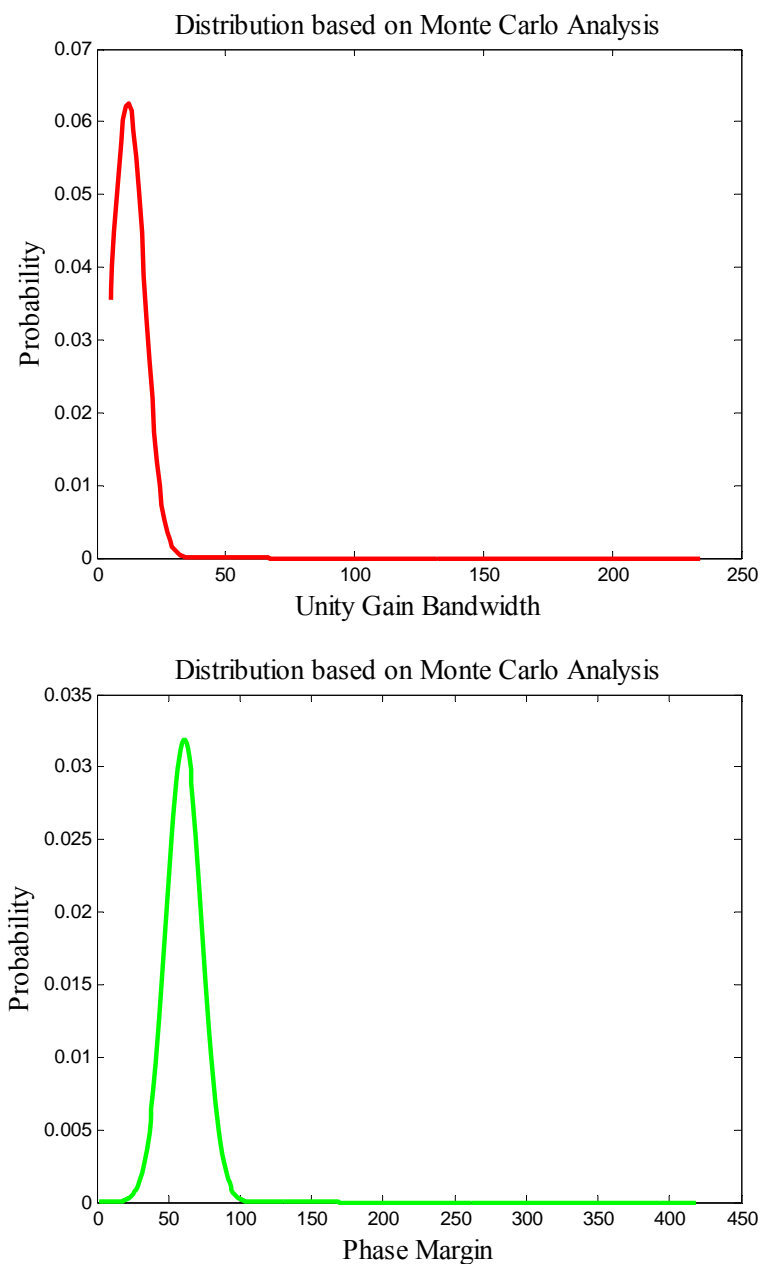
$$pdf(x_s^{(\mu)}) = pdf(R, C) = \frac{1}{2\pi\sigma_R\sigma_C} \cdot e^{-0.5\left(\left(\frac{R-R'}{\sigma_R}\right)^2 + \left(\frac{C-C'}{\sigma_C}\right)^2\right)} \quad (3-4)$$

设 A_R 和 A_C 分别代表 R 和 C 符合系统性能要求的区域。则良率可以定义为在性能要求所确定的允许区域内概率积分函数的积分，即：

$$Y = \iint_{R \in A_R, C \in A_C} pdf(x_s) \cdot dRdC \quad (3-5)$$

在具体计算中，用蒙特卡罗分析中得到的分布曲线即为关于参数集 x_s 的 pdf 曲线，即式 3-5 中的 pdf(x_s)。式 3-5 的值可以用数值方法近似计算得到。为了更好的模拟实际工艺偏移，评估分布时 R 和 C 的均值为名义设计参数值，而其均方差依器件类型和对应生产工艺尺寸变化。

根据表 3-1 中针对增益带宽积和相位裕度的统计性数据，绘制其分布曲线，如图 3-4 所示。针对我们设定的系统稳定性要求，即相位裕度大于 60 度，对该条相位裕度分布曲线大于 60 度的部分进行数值积分，我们得到此设计的参数生产良率(parametric yield [38])仅为 52.57%，不能达到生产要求。



图表 3-4 参数依据高斯分布生成的系统性能分布

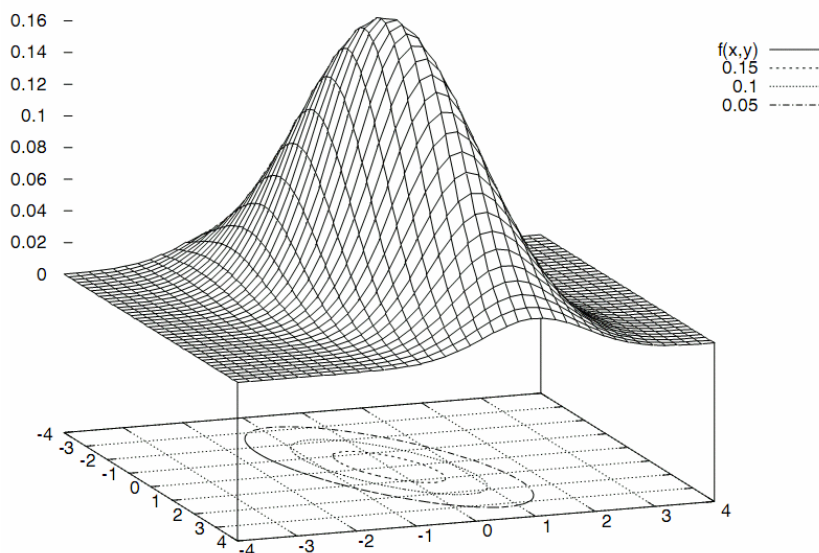
Fig. 3-4 System Performance Distribution under Parametric Gaussian Distribution

由公式 3-3, 公式 3-4 和公式 3-5 可以推断, 若系统性能对参数变化的敏感性低, 则参数可以在更大范围内变化而不至于大幅影响到系统性能。这意味着会有更多的样本 x_S 落入 A_P , 或者说增大了 A_R 和 A_C 的区域范围。这些变化最终导致积分区域加大,

即生产良率增大。

3.3 直观良率分析表示

我们同样用双参数优化问题说明更加直观的不良率优化问题。如图 3-5[38]电路某性能指标相对双参数表示，纵轴代表该性能数值，两横轴分别代表两参数变化，不同类型的虚线代表该性能的等高线对应的两参数变化对应关系。如在性能 $f(x,y)=0.15$ 时，参数 x 和参数 y 只能在平面的粗点虚线上进行变化；性能 $f(x,y)=0.1$ 时，参数 x 和参数 y 只能在平面的细点虚线上进行变化；性能 $f(x,y)=0.05$ 时，参数 x 和参数 y 只能在平面的点横虚线上进行变化。



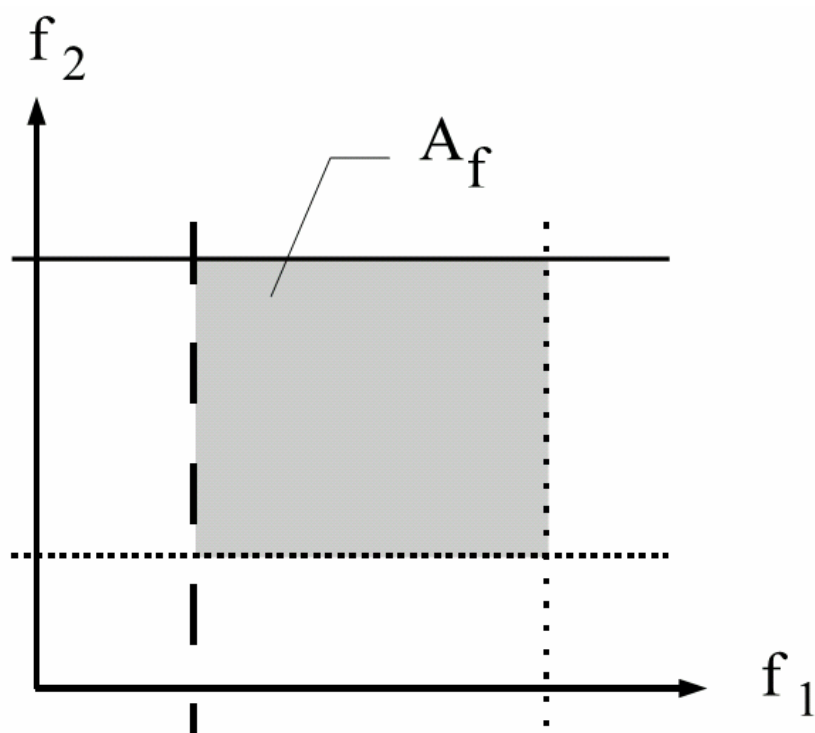
图表 3-5 电路某性能指标相对双参数表示[38]

Fig. 3-5 Specific Circuit Performance Specification with Double Parametric Illustration

若系统性能要求限制了电路的性能表现，如性能可接收区域

$$A_f = \{f_{1L} \leq f_1 \leq f_{1H}, f_{2L} \leq f_2 \leq f_{2H}\} \quad (3-6)$$

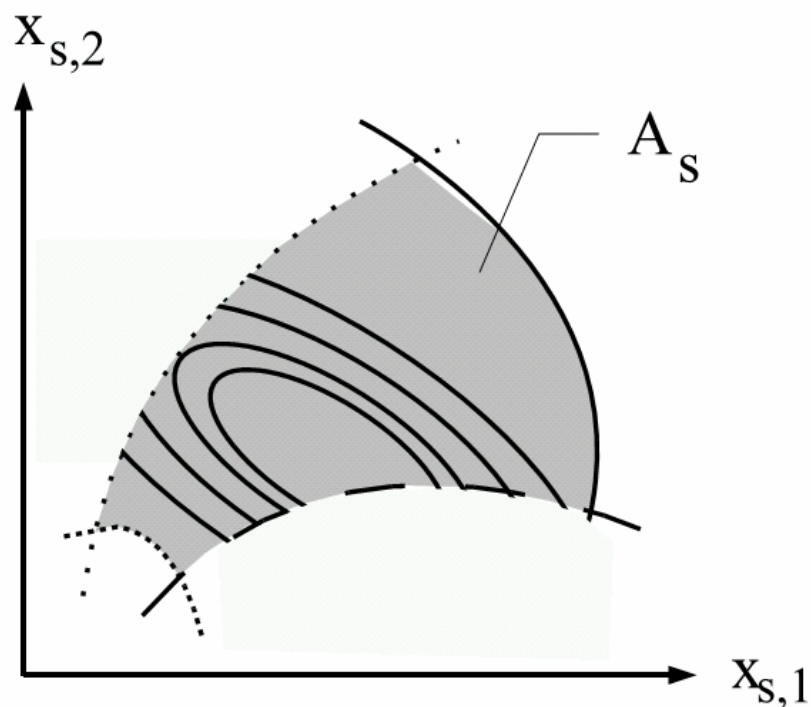
即性能指标 f_1 和 f_2 分别规定需要在上下限中变化，如图 3-6 所示



图表 3-6 性能可接受区域设定[38]

Fig. 3-6 Definition of Performance Acceptance Region

如上的性能可接受区域 A_f 限制确定了参数可变化范围，我们仍然以双参数举例，图 3-6 中规定的区域对应到参数变化区域 A_S 上如图 3-7[38]中所示，其中可以看到，各性能限制的边界（实线，段虚线，密点虚线，疏点虚线）对应到参数变化区域上的线共同限制了一个双参数 $X_{S,1}$ 和 $X_{S,2}$ 的可调范围 A_S 。

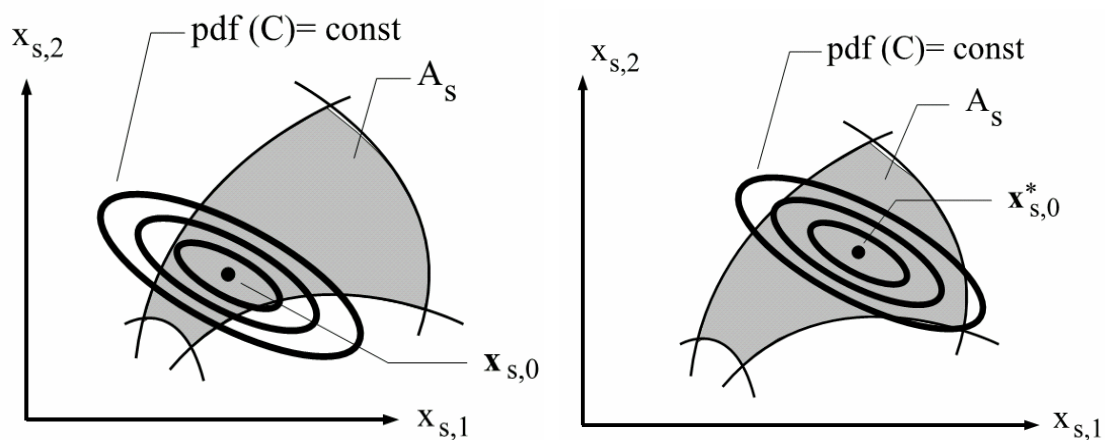


图表 3-7 对应参数变化区域表示[38]

Fig. 3-7 Corresponding Parametric Region Illustration

当双参数 $X_{s,1}$ 和 $X_{s,2}$ 以工艺随机偏移规律进行变化时落入该区域的可能性即为此电路的良率。

为了提高系统的良率，直观的来看需要提升参数变化时落入该区域的可能性。如图 3-8[38]所示，我们调整参数 $X_{s,0}$ 的中心位置到 $X^*_{s,0}$ 。此时虽然 $X_{s,1}$ 和 $X_{s,2}$ 的仍然按照原偏移中心及方差变化，但落入 A_s 区域的比例确有了明显增大，即提升了系统的良率。



图表 3-8 调整电路中值对应参数变化区域表示[38]
Fig. 3-8 Design Centering Corresponding Parametric Region

3.4 本章小结

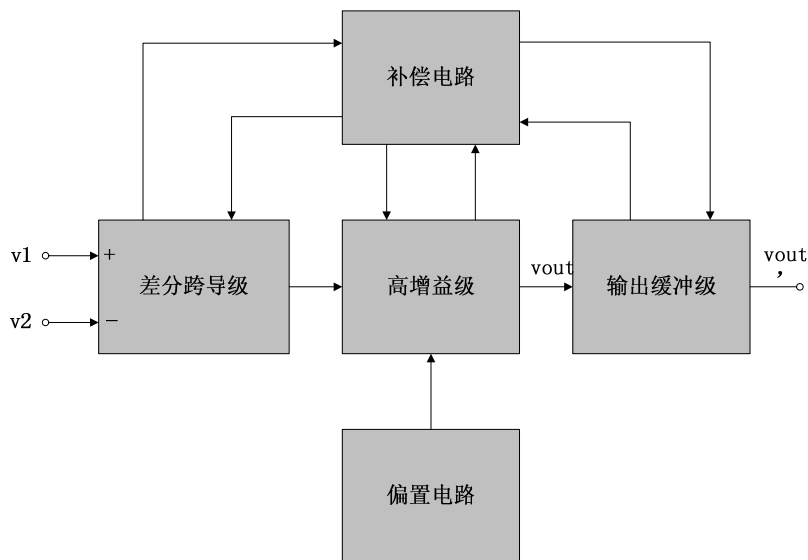
模拟电路设计中，需要考虑由于芯片生产工艺所具有的不确定性给电路各参数带来的偏移，从而达到提升电路生成良率的目的。传统的数值仿真器使用蒙特卡罗仿真来表现调整参数达到的效果，但得到的效果并不直观。使用符号化分析方法却可以提供参数调整的方向性，从而得到直观良率调整辅助功能，大幅提升设计师效率。

第四章 良率优化的 CMOS 模拟电路多级运算放大器设计

4.1 用符号化仿真器提高模拟电路设计良率

数值仿真方法由于不具有信息的保留性，因此需要一次次重复进行无方向性的调整。而符号化分析方法由于始终将电路信息加以存储，分析时不仅可以更有效的全局的提供如上一章所示直观的系统性能表示，同时在这个基础上类似关于双参数依赖关系的图形化表示可以在设计师在关注良率优化的电路设计中，大幅提升效率。本章将从传统意义上该类问题的解决方式到使用符号化分析方式解决该类问题，体现出符号化仿真器提高模拟电路设计良率的优越性。

4.2 简单运算放大器设计流程



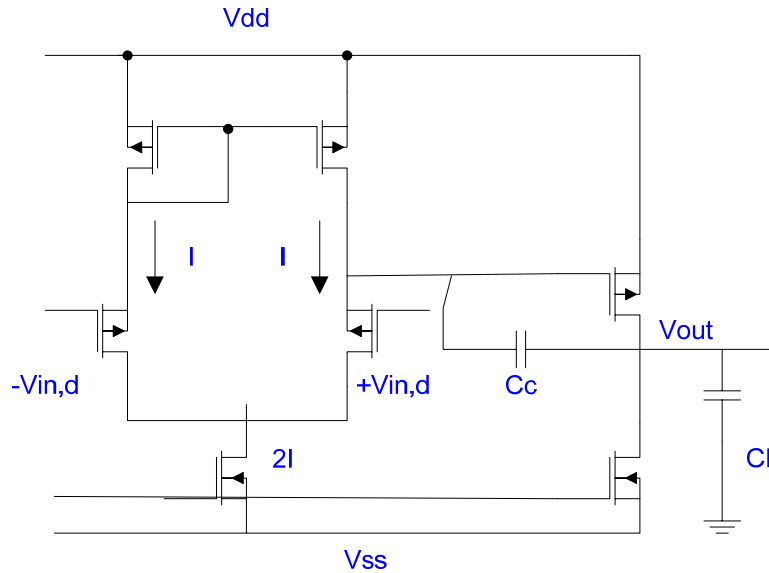
图表 4-1 常规两级运算放大器设计框图[39]

Fig. 4-1 Common Two Stage Op-Amp Design Block Diagram

以常规两级运算放大器设计流程作为案例，如图 4-1，通常来讲包含如下几个步

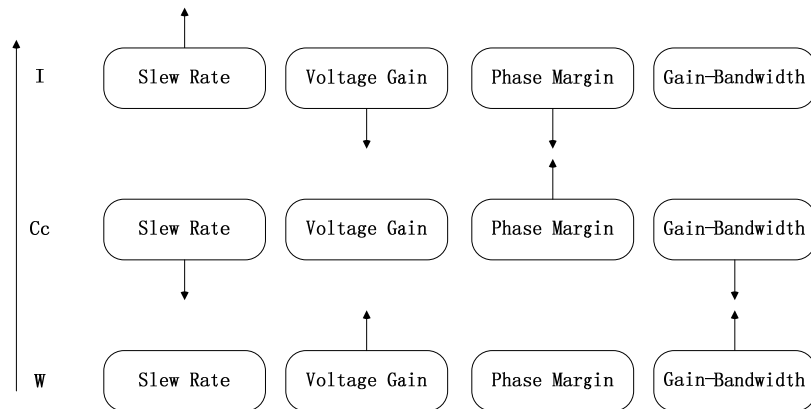
骤:

- (1) 根据设计要求确定适当的运算放大器结构
- (2) 根据设计要求确定合适的反馈模式
- (3) 设计电路各元器件参数以达到合适的直流，交流及瞬态响应性能



图表 4-2 简单两级运算放大器
Fig. 4-2 Simple Two Stage Op-Amp Structure

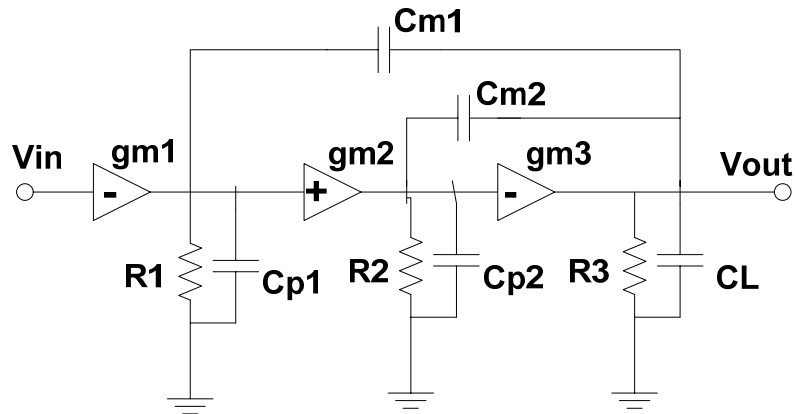
在这里用图 4-2 说明在设计中对电路的各元件和晶体管参数进行复杂折中和权衡来满足电路的设计目标[40]。设计师需要通过反复的仿真及统计在不断积累中则最终获取一个如图 4-3 的相对于该电路的直观的电路各参数与电路性能的对应关系:



图表 4-3 参数调整对电路性能影响[39]
Fig. 4-3 Dependencies of Parametric Adjustment

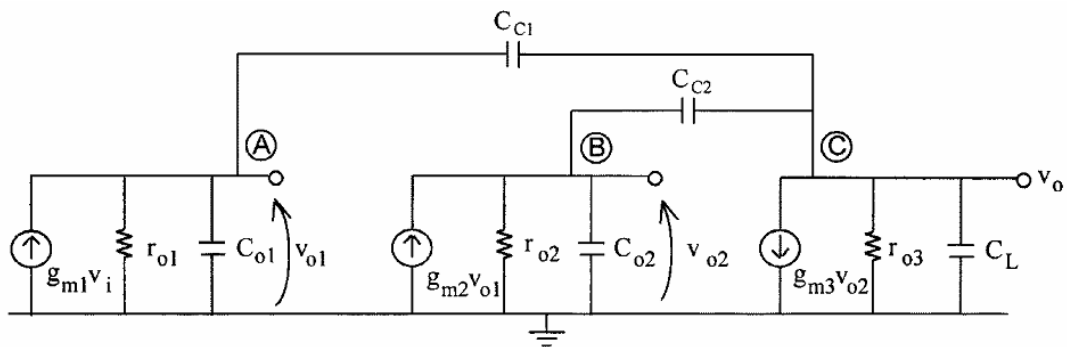
图中表现了电路变化率，电压增益，相位裕量，增益带宽积等性能指标在左侧响应相应参数增大时候的表现，使得设计师可以根据最终设计指标的要求对电路参数进行方向性的优化并进行相应的指标权衡。

随着便携式产品出现，以上结构的运算放大器逐渐不能满足当前电路低功耗、低电压的应用要求，多级运算放大器结构顺应时代需要而兴起。一般定义下的低电压运放是指其工作电压低于 2.5 伏特，而所谓的低功耗运放通常指供电电流低于 1mA。低功耗的要求必然要牺牲电路的其他性能，这类运算放大器大多用在便携式音频系统（如 MP3）、电压比较电路和滤波器等对电路工作频率宽度没有过高要求的应用中。



图表 4-4 三级嵌套米勒补偿效应放大器[29]

Fig. 4-4 Three Stage Nested-Miller Compensation Effect Op-Amp



图表 4-5 简单小信号模型带入后三级运放电路

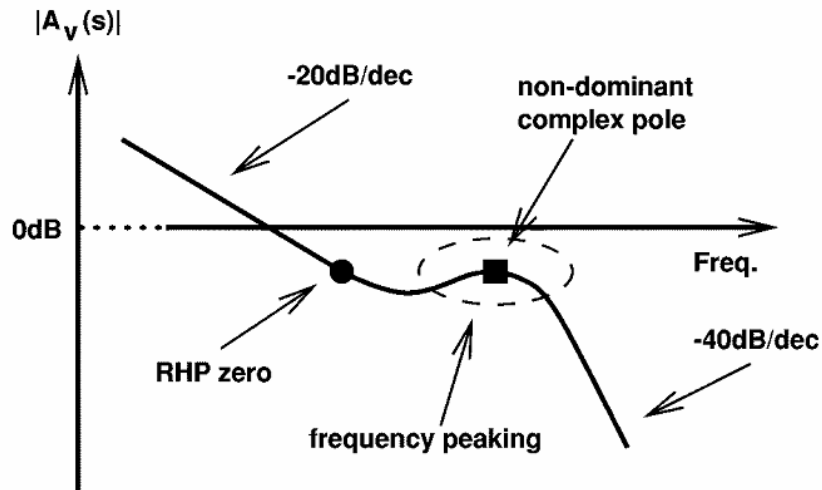
Fig. 4-5 Three Stage Op-Amp with Simple Small Signal Model Substituted

(1) 根据设计的目标噪声指标和由于不匹配带来的随机偏移要求确定 g_{m1}

(2) 由如下公式，通过增益带宽积要求确定 C_{C1}

$$\omega_{GBW} = A_0 \omega_{p1} \approx \frac{g_{m1}}{C_{C1}}$$

(3) 通过 C_{C2} 调节非主极点，避免频域响应中的不规则峰值



图表 4-6 非主极点对频域响应的影响[29]

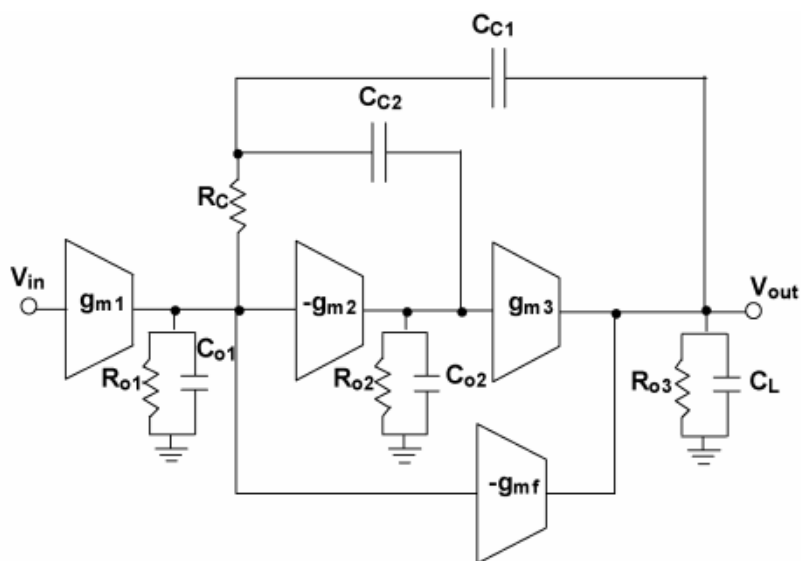
Fig. 4-6 Effect of Non-dominant Pole on Frequency Response

- (4) 确定 g_{m2} 和 g_{m3}
- (5) 由相位裕量要求得到 g_{m2}/g_{m1}
- (6) 由 Y 渐进稳定度得到 g_{m2}

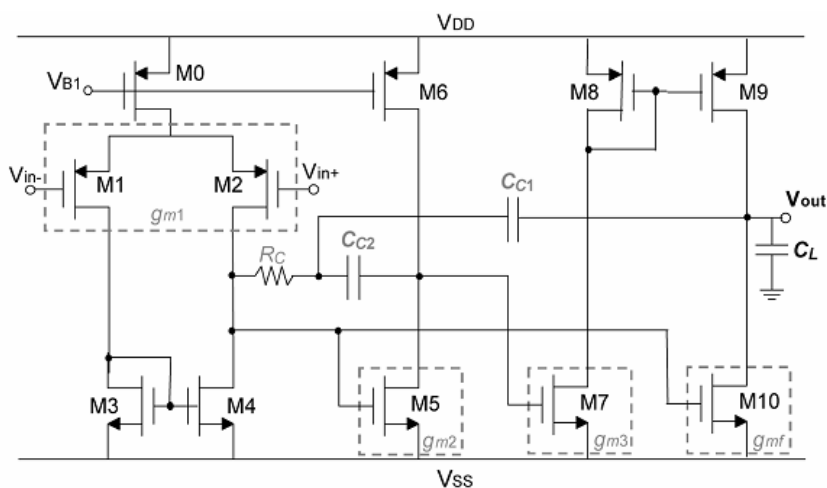
4.3 反向嵌套米勒补偿效应多级放大器

上一节所述的常规的三级运算放大器拥有电路带宽小，系统变化率低和功耗较高的固有缺陷，为了解决如上问题，我们尝试使用另两种解决方案[41]:

- (1) 反向嵌套米勒补偿指零电阻前馈结构(RNMCFFNR, Reversed Nested Miller Compensation Feedforward with Nulling Resistor)



图表 4-7 RNMCFNR 结构框图[41]
Fig. 4-7 RNMCFNR Structure Diagram



图表 4-8 使用 RNMCFNR 技术的三级放大器电路图[41]
Fig. 4-8 Three Stage Op-Amp with RNMCFNR Technique

图 4-7 所示为该结构的框图，而图 4-8 所示为该结构的实现电路图，其设计步骤如下：

- ✓ 假设每一级的直流增益远大于 1，即 $A_{Vi} = g_{mi} r_{oi}$
- ✓ 假设 $C_L, C_{C1}, C_{C2} \gg C_{oi}$ ， $C_L \gg C_{C1}$

✓ 设置 $R_C = \frac{1}{g_{m2} + g_{mf}}$, $g_{mf} = g_{m3}$

✓ 得到开环增益 $A_{vRNMCFNR}(S) = A_0 \frac{1 + s \frac{C_{C1} + C_{C2}}{g_{m2} + g_{m3}}}{(1 + \frac{s}{\omega_{p1}})(1 + s \frac{C_{C1} + C_L}{g_{m3} C_{C1}} C_{C2} + S^2 \frac{C_{C2} C_L}{g_{m2} g_{m3}})}$

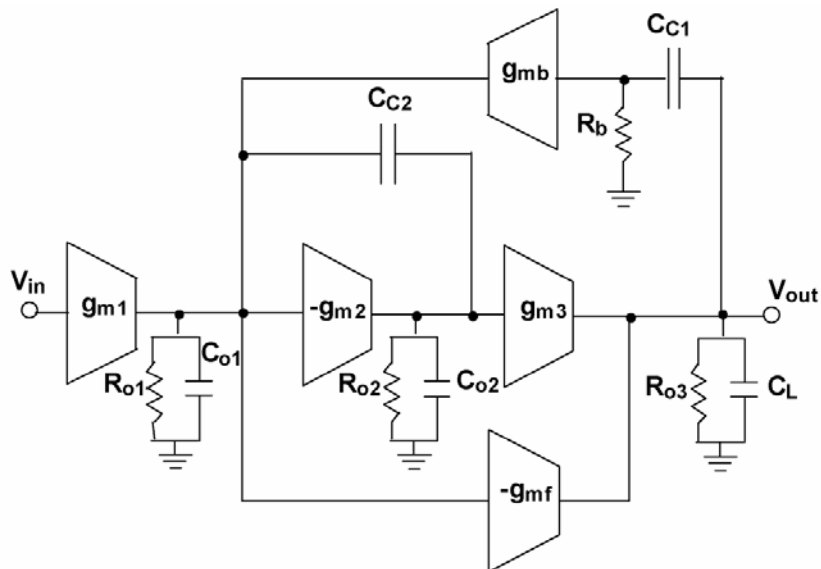
✓ 通过 $\omega_{GBW} = |A_0| \omega_{p1} = \frac{g_{m1}}{C_{C1}}$ 得到 C_{C1}

✓ 通过 $C_{c2} \approx \frac{2g_{m3}g_{m1}^2}{g_{m2}C_L\omega_{GBW}^2}$ 得到 C_{C2}

✓ $g_{m3} = g_{m2}$

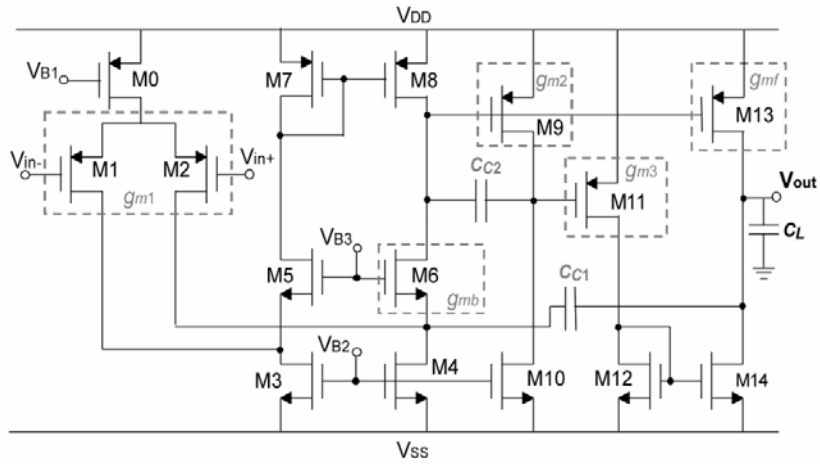
✓ $\frac{g_{m2}}{g_{m1}} \cong 1.5 \tan \phi + 0.5$, ϕ 为相位裕量, 在相位裕量在 45-85 度之间时, 该式误差在 8% 以内

(2) 反向有源反馈频率补偿结构(RAFFC, Reversed active feedback frequency compensation)



图表 4-9 RAFFC 结构框图[41]

Fig. 4-9 RAFFC Block Diagram



图表 4-10 使用 RAFFC 技术的三级放大器电路图[41]

Fig. 4-10 Three Stage Op-Amp with RAFFC Technique

图 4-9 所示为该结构的框图，而图 4-10 所示为该结构的实现电路图，其设计步骤如下：

- ✓ 假设每一级的直流增益远大于 1，即 $A_{vi} = g_{mi} r_{oi}$
- ✓ 假设 $C_L, C_{C1}, C_{C2} \gg C_{oi}$ ， $C_L \gg C_{C1}$
- ✓ 设置 $g_{mf} = g_{m3}, g_{mb} \cong \frac{1}{R_b}$

✓ 得到开环增益 $A_{vRAFFC}(S) = A_0 \frac{1 + s \frac{C_{C1}}{g_{mb}}}{(1 + \frac{s}{\omega_{p1}})(1 + s \frac{C_{C1} + C_L}{g_{m3} C_{C1}} C_{C2} + S^2 \frac{C_{C2} C_L}{g_{mb} g_{m3}})}$

✓ 通过 $\omega_{GBW} = |A_0| \omega_{p1} = \frac{g_{m1}}{C_{C1}}$ 得到 C_{C1}

✓ 通过 $C_{c2} \approx \frac{2g_{m3}g_{m1}^2}{g_{mb}C_L\omega_{GBW}^2}$ 得到 C_{C2}

✓ $g_{m3} = g_{m2}$

$$\checkmark \quad \frac{g_{mb}}{g_{m1}} \cong \tan \phi + 0.7$$

以上提到的两种技术是基于基本反向嵌套米勒补偿机制的，他们表现出对于传统补偿机制的固有优势，尤其在大电容负载时表现优秀。此外，在具体电路实现中他们均没有使用多余的晶体管，降低了整体芯片的复杂度并减小了系统功耗

4.4 针对良率优化的过量设计

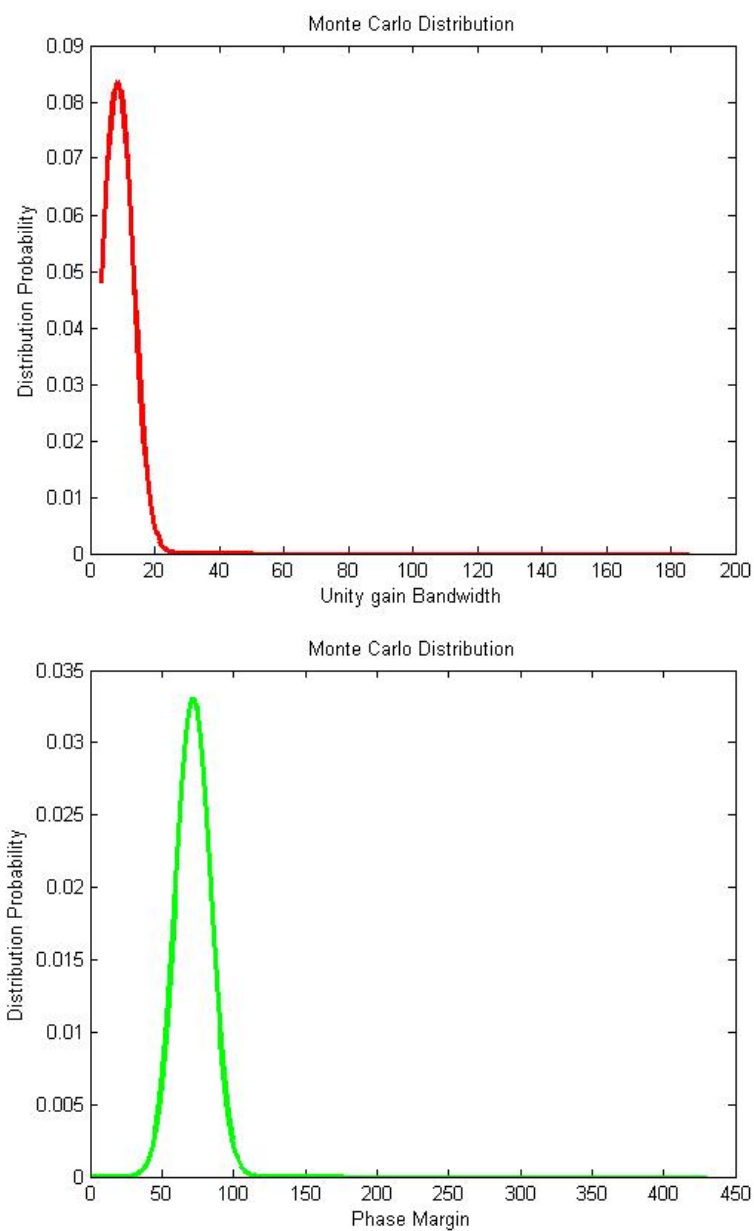
传统设计方法中，模拟设计师需要调整反馈回路，进行过量设计并尽量降低系统性能对于调节参数变化的敏感性，以达到更高的生产良率。但在优化过程中，传统设计方法基本无法提供电路性能随各参数变化的受影响方向和范围，只能通过对某些参数进行一维或二维扫描来进行大致的参数选择，耗费大量计算时间，且得到的结果带有很大的不确定性。

4.4.1 传统过量设计参数调整观察 1

在这里我们取 $C_{c1}=8\text{pF}$, $C_{c2}=20\text{pF}$, $R_{c1}=650\Omega$, $R_{c2}=5\Omega$, 当前得到更大的相位裕度 73° ，再对其进行 Monte Carlo 分析，得到结果。

表格 4-1 蒙特卡罗分析结果 5000/运行时间 344.88s
Table 4-1 Monte Carlo Analysis Results 5000/Run time 344.88s

	<i>Mean</i>	<i>Sigma</i>	<i>Max</i>	<i>Min</i>
带宽	8.5291x	4.7694x	186.0349x	3.5120x
相位裕度	71.8697	12.0702	430.6435	875.4993m
增益	95.6950	201.1612m	109.9164	95.6908



图表 4-11 过量设计 1 系统性能 Monte Carlo 分布图

Fig. 4-11 System Performance Distribution with Monte Carlo Analysis

从表中蒙特卡罗分析结果数据可以看到，使用加大初始相位裕度，即过量设计的方法可以提升满足系统要求的比例到 83.73%。

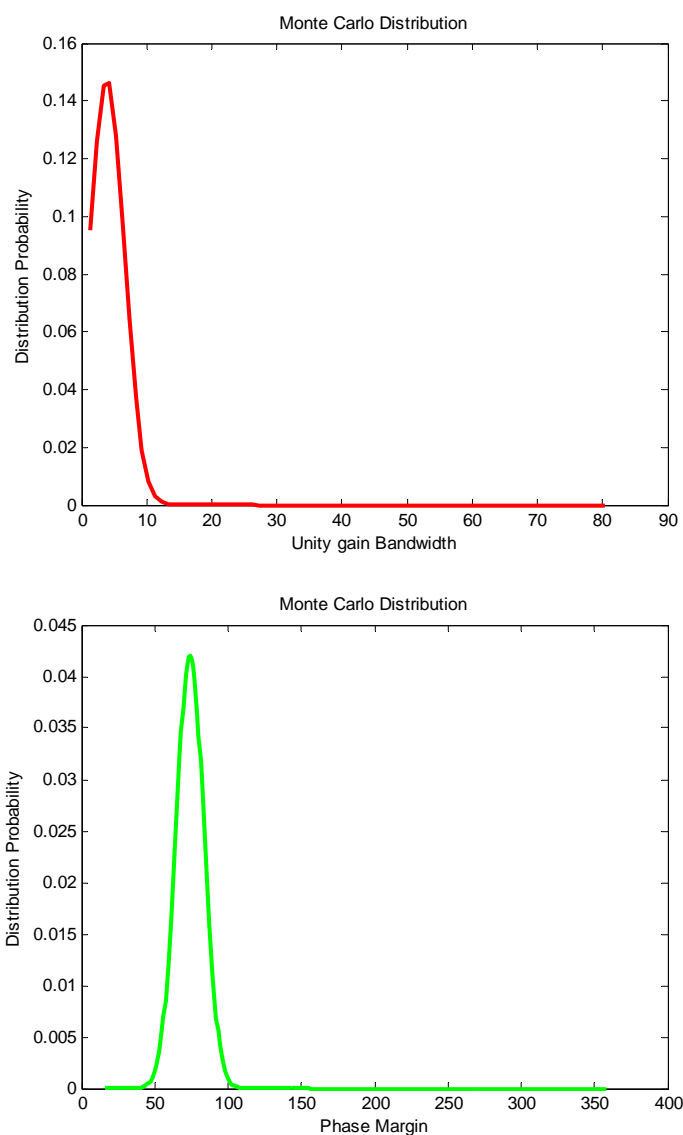
4.4.2 传统过量设计参数调整观察 2

同样的，取 Phase margin = 70, Cc1=15pF, Rc1 = 60:

表格 4-2 蒙特卡罗分析结果 5000/运行时间 8.94s

Table 4-2 Monte Carlo Analysis Results 5000/Run time 8.94s

	Mean	Sigma	Max	Min
带宽	4.9899x	3.1070x	76.7960x	1.7795x
相位裕度	70.2110	9.8724	359.5481	13.4747
增益	95.6915	633.4335u	95.6925	95.6865



图表 4-12 过量设计 2 系统性能 Monte Carlo 分布图

Fig. 4-12 System Performance Distribution with Monte Carlo Analysis

提升满足系统要求的比例到 84.95%。

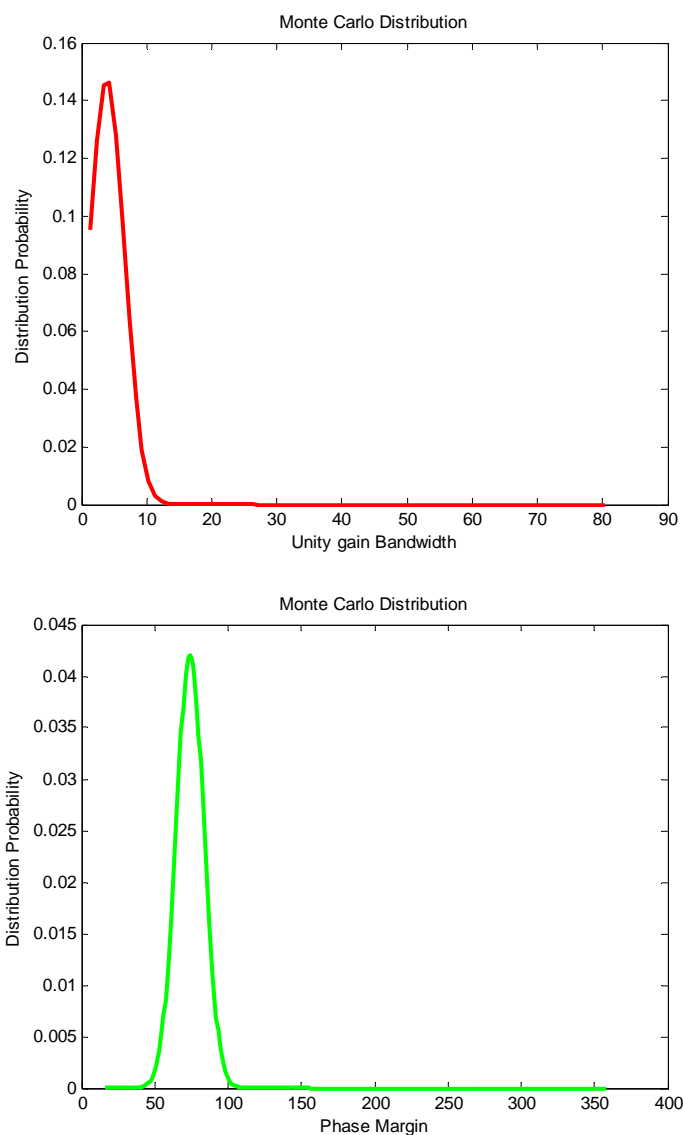
4.4.3 传统过量设计参数调整观察 3

同样的，取 Phase margin = 75, Cc1=20pF, Rc1 = 60

表格 4-3 蒙特卡罗分析结果 5000/运行时间 39.25s

Table 4-3 Monte Carlo Analysis Results 5000/Run time 39.25s

	Mean	Sigma	Max	Min
带宽	3.8635x	2.6909x	80.9271x	1.3314x
相位裕度	74.0688	9.4753	358.5558	16.1435
增益	95.6907	1.1253m	95.6925	95.6819



图表 4-13 过量设计 3 系统性能 Monte Carlo 分布图

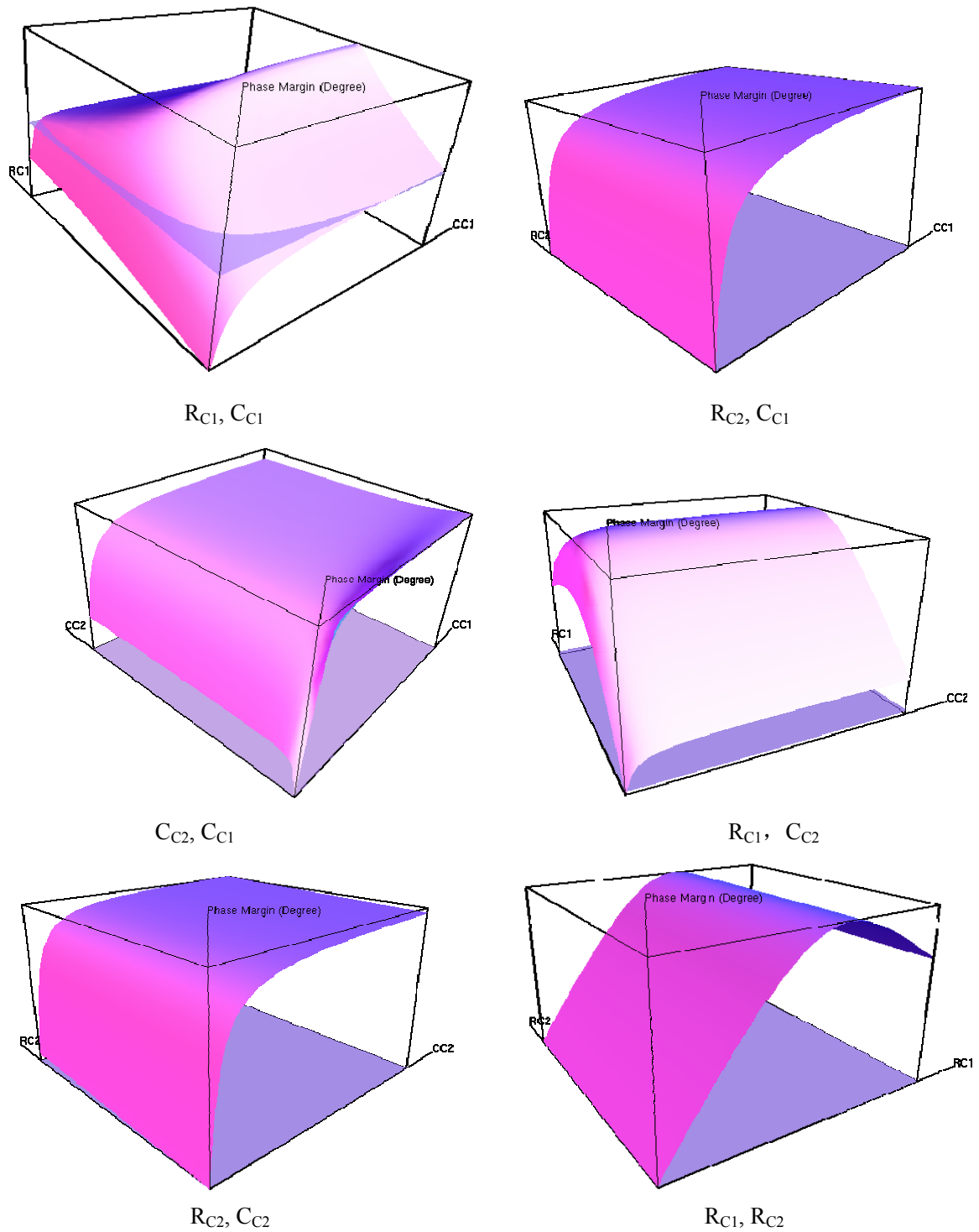
Fig. 4-13 System Performance Distribution with Monte Carlo Analysis

提升满足系统要求的比例到 93.12%。

4.5 GRASS 辅助低敏感度高良率设计

可以看到,上述的调整时盲目而不具有方向性的。在处理为生产而设计(Design For Manufacturability, DFM)中的挑战时,我们希望有种设计工具能帮助分辨对电路性能变异贡献最大的参数。GRASS 工具提供了关于双参数依赖关系的图形化表示的功能,让设计师以互动的方式调整对系统性能影响较大的参数组合。

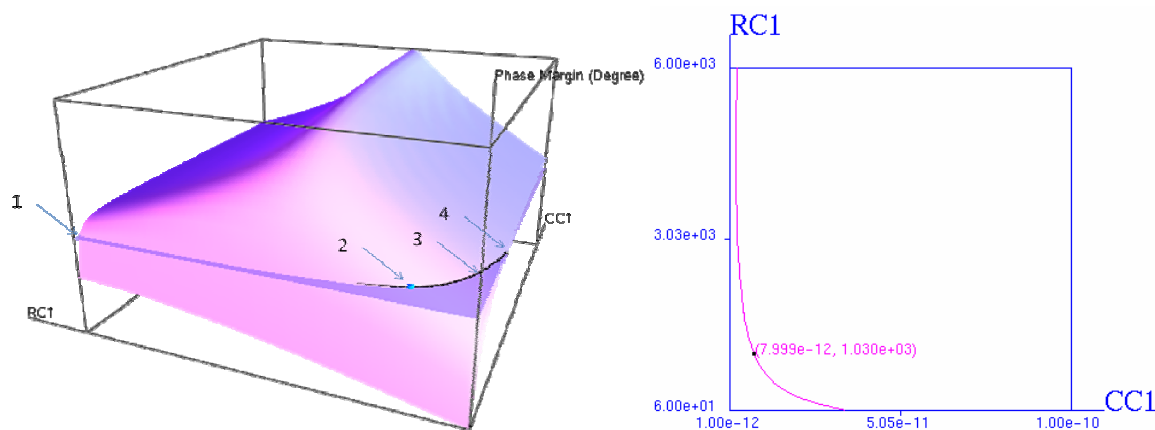
对于上一节中提到的多级放大器电路(图 4-1),我们知道反馈回路上的四个元件 R_{C1} , R_{C2} , C_{C1} 和 C_{C2} 可能对于电路性能有较大影响。为了用量化的方式确定电路的频域性能如何在一组参数的变化区域变化,我们用 GRASS 工具先导出频响关于电路参数的符号化表示,在固定除当前检查参数之外的所有其它电路参数的基础上,将相位裕度作为设计指标,画出其关于某两个设计参数的 3 维立体图示,如图 4-14 所示。



图表 4-14 GRASS 反馈回路参数对相位裕度敏感度表示

Fig. 4-14 Phase Margin Sensitivity Illustration for Compensation Branch Parameter with GRASS

由图 4-14 所示的组合分析可以看到，在对某两个元件参数作相位裕度分析时，我们发现相位裕度相对于 R_{C1} 和 C_{C1} 的组合变化最敏感，而且变化方式也比较特别。因此我们暂时固定 R_{C2} 和 C_{C2} ，而对 R_{C1} 和 C_{C1} 依赖关系作进一步分析。



图表 4-15 GRASS 图形用户界面
Fig. 4-15 GRASS Graphic User Interface

为了方便模拟电路设计师使用，我们用 OpenGL 特别设计了三维图形界面，立体展示设计指标关于两个参数的依赖关系，并可以 360° 观察曲面的斜率。图 4-15 所示为 GRASS 展示的三维曲面与相位裕度等高线，其中两维是参数变化的区域，第 3 维是相位裕度。GRASS 允许用户用鼠标拖动等相位裕度平面，并在图 4-15 右边的平面坐标上同步显示对应于某一相位裕度的等高线，表示此曲线上的任意参数值都对应于同一相位裕度。设计师可以根据左边立体图中的曲面坡度大致估计所选参数的敏感度。同时，在用户选择点标注当前具体参数值和梯度向量，帮助设计师确定具体敏感度的相对大小。通常在设计约束条件许可的情况下，设计师会选择敏感度较低参数组合。

我们选定一条相位裕度等高线，依次取得两端点以及三维曲面中较陡峭和较平滑区域两点共四点，如表 2 所示（每行对应于一点）。可以看到，在平均相位裕度均为 75° 时，根据相位裕度大于 60° 的标准判断，当 R_{C1} 和 C_{C1} 均符合高斯分布时，满足系统要求的比例有很大不同。

表格 4-4 沿等相位裕度线 75° 的反馈回路参数优化

Table 4-4 Parameter Optimization on Compensation Branch on 75° Phase Margin Contour

Point	C_{C1} (pF)	R_{C1} (Ω)	Sens(Φ , C_{C1})	Sens(Φ , R_{C1})	$\ Sens(\phi, C_{C1}, R_{C1})\ $	Average GBW (MHz)	Percent of $\Phi > 60^\circ$
#1	3	2445	0.426	0.353	0.553249	41.84	71.23%
#2	10	507	0.239	0.143	0.278514	8.58	75.85%
#3	17	137	0.179	0.0421	0.183884	4.51	96.52%
#4	20	50	0.151	0.0154	0.151783	3.55	99.89%

表 4-4 中的满足相位裕度要求 ($>60^\circ$) 百分比, 即生产良率, 可以通过第三节中的蒙特卡罗方法进行验证。验证中取数据序列中的参数值作为 R_{C1} 和 C_{C1} 的名义设计均值, 在此基础上对 R_{C1} 叠加 120 欧姆的标准方差, 而 C_{C1} 叠加 5pF 的标准方差。

我们采用归一化敏感度(normalized sensitivity)[20]的概念来描述相位裕度关于 C_{C1} 和 R_{C1} 的敏感度, 定义曲面上任意点对参数的归一化敏感度分别为:

$$Sens(\phi, R_{C1}, C_{C1}) := (Sens(\phi, R_{C1}), Sens(\phi, C_{C1})) = \left(\frac{C_{C1}}{\phi} \frac{\partial \phi}{\partial C_{C1}}, \frac{R_{C1}}{\phi} \frac{\partial \phi}{\partial R_{C1}} \right) \quad (4-1)$$

该点的敏感度对应相位裕度变化最快的方向, 其大小表示变化的快慢, 即沿各方向上的敏感度分量即为系统性能相对于各参数的敏感度。然而由于在优化过程中一个参数的敏感度降低往往伴随着另一个参数的敏感性提升, 因此不能单纯的考虑一个参数的敏感度来进行优化, 如表 2 所示。为了更好的描述三维曲面的平滑度, 我们进一步考虑该点敏感度的大小:

$$\|Sens(\phi, R_{C1}, C_{C1})\| := \sqrt{Sens(\phi, R_{C1})^2 + Sens(\phi, C_{C1})^2} \quad (4-2)$$

由表 4-4 数据可以看到, 敏感度的大小确实可以更好的量化系统当前位置的平滑度, 最小的敏感度对应最低的多参数协同敏感性和最佳的生成良率效果, 即该点的平滑性质保证了电路抵御工艺偏移的能力, 工艺偏移低敏感性设计确实可以导致良率提高。如 3、4 点所示, 在曲面平滑度, 即敏感度近似的情况下, 设计师可以在此时 GRASS 指示的范围内, 如 C_{C1} 在 [17,20], R_{C1} 在 [50,137] 之间继续用 SPICE 等精确电路仿真器对参数进行微调、验证并平衡如 GBW 等系统其他性能指标, 最终得到一个最符合用户要求的电路设计。

根据如上步骤最终得到反馈回路的直观参数优化, 定义相位裕度大于 60 度为良好制造的芯片, 在优化范围内进行系统性能平衡后得到的对应的系统性能如表 3 所

示。

表格 4-5 反馈回路经 GRASS 优化所得系统性能*
Table 4-5 System Performance with GRASS Optimiazation

Average of PM(°)	74
Average of GBW(MHz)	4
Yield	99.71%

* $C_{C1}=19\text{pF}$, $C_{C2}=20\text{pF}$, $R_{C1}=74\text{ohm}$, $R_{C2}=5\text{ohm}$.

4.6 本章小结

模拟电路的设计是复杂的，可能简单的调整一个参数即对电路所有性能指标均会产生影响。为了提升电路性能而保持电路的简单有效，一些新的结构被提出和实践，从根本上改进了运算放大器的设计。但是这些结构复杂的反馈回路限制了设计师对其的分析和理解。此时符号化分析方法提供的对于电路性能的透视作用即显现出来。

在考虑工艺偏移和良率的设计中，传统的设计方式需要进行过量设计，不仅浪费电路的面积，同时会增加电路的功耗。为了解决该问题，我们采取 GRASS 进行辅助，使用符号化分析所提供的方向性信息，大幅缩短了电路优化时间，提升了设计效率。

第五章 结论与研究展望

5.1 结论

模拟电路对于工艺偏移的敏感性以及设计良率是模拟电路设计师关心的重要问题。由于数值仿真工具的局限性，至今设计界仍缺乏能有效提高电路可靠性与良率的通用设计辅助工具。符号化仿真器可以快速导出频域设计指标关于电路参数的解析表示并由此用三维立体图示的方式展示设计指标关于电路参数的依赖敏感度，设计师能够直观的判断如何选择合适的参数组合以满足电路可靠性并降低工艺偏移可能导致的电路性能恶化，从而提高设计良率。

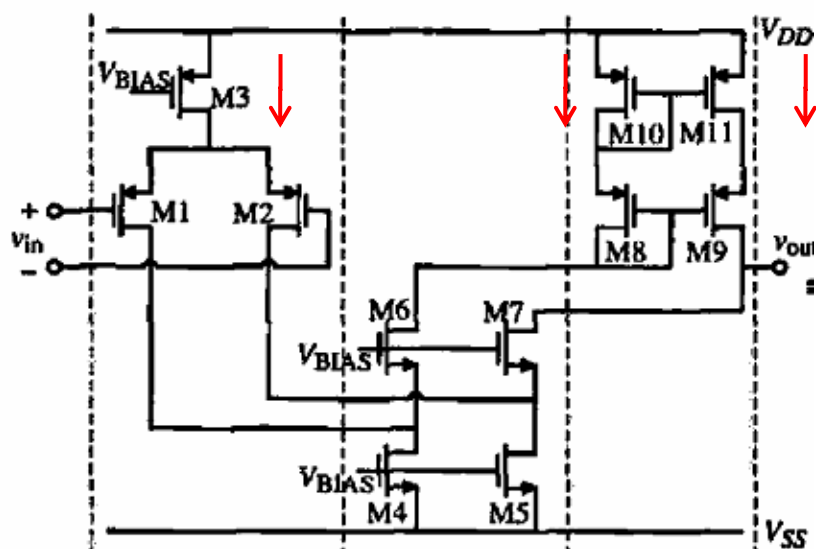
本文描述了为了使用符号化分析方法可以处理尽可能复杂的、规模更大的电路，同时保证设计必须的仿真精度，需要进行的 CMOS 小信号模型选取和抽取。经过理论验证及实验比较我们可以确定我们选定的 MOS3 小信号模型在替代复杂 BSIM3V3 小信号模型时，有效地保证了如上目标，在减少了符号化方法处理电路节点数的基础上保留了仿真精度。我们选取的小信号模型是简单而有效的。

本文描述了如何在模拟电路设计中，考虑由于芯片生产工艺所具有的不确定性给电路各参数带来的偏移，从而达到提升电路生成良率的目的。传统的数值仿真器使用蒙特卡罗仿真来表现调整参数达到的效果，但得到的效果并不直观。使用符号化分析方法却可以提供参数调整的方向性，从而得到直观良率调整辅助功能，大幅提升设计师效率。

本文最后描述并实现了解决在考虑工艺偏移和良率的设计中，传统的设计方式需要进行过量设计，不仅浪费电路的面积，同时会增加电路的功耗的为棒图。我们采取符号化仿真器 GRASS 进行辅助，使用符号化分析所提供的方向性信息，大幅缩短了电路优化时间，提升了设计效率。

我们看到利用符号化分析方法的优点，直观的观察其提供的设计敏感度信息，符号化电路仿真器 GRASS 可以在工艺偏移低敏感性设计起到良好的辅助作用。但这仅仅是符号化仿真方法优秀设计辅助性的一个表现，未来符号化仿真器仍然有更多的优势可以挖掘，将从其他很多方面也大幅的提升电路设计师的设计效率。

5.2 电路功耗分区域描述



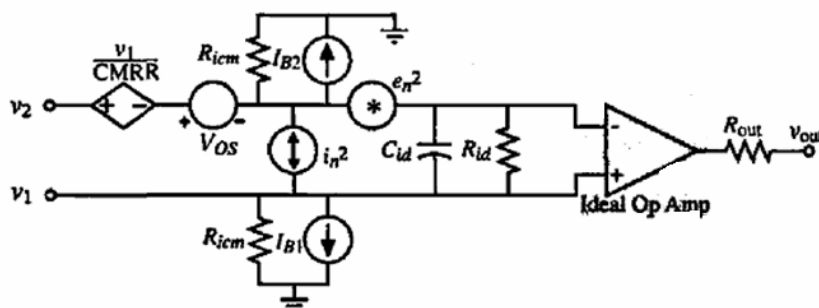
图表 5-1 简单放大器示意图[39]

Fig. 5-1 Simple Op-Amp Diagram

如图所示，使用数值仿真器进行常规仿真过程中，设计师可以通过直流分析得到各支路的电路值，进一步由 $P=I*V$ 得到该电路的直流功耗。在设计中，有时对局部功耗的理解有时意义大于对全局功耗的理解，这可能代表了设计时不合理的晶体管排列，其会对芯片造成的局部过热现象等其他妨碍芯片稳定工作的不良设计结果。设计师在这种情况下需要对电路进行布局调整，然后重新观察电路功耗分布。

符号化分析方法可以保存电路信息，在进行局部调整后不需要再次进行全局仿真，而只需要由设计师选定待分析支路，即可通过计算直接得到新结果。未来该功能的实现有赖于电路结构理解，提供支路分析及选择功能的进一步研究。

5.3 对电路偏移进行分析和自动优化



图表 5-2 理想运算放大器的现实化[39]

Fig. 5-2 Realistic Transformation on Ideal Op Amp

我们知道，在进行电路仿真后，一个现实的运算放大器的性能和理想运算放大器有很大差别。在常规设计中，为了在外围电路中使用该运算放大器，我们常将其进行模型化，建立如图 5.2 所示的叠加外围电路。这通常意味着对电路进行复杂的人工分析，包括分拆电路的温度稳定性，噪声特性，直流特性等。

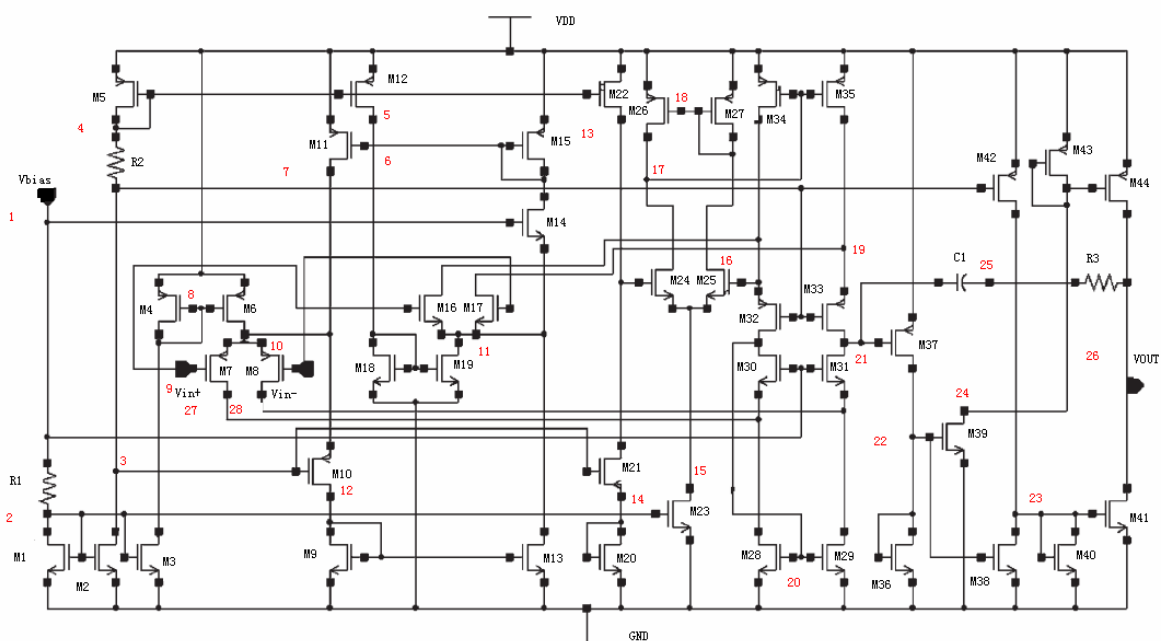
在我们将一个运算放大器集成到外围电路中时，符号化仿真方法在进行处理时仅需要简单的将已有电路结构集成到外围电路中，处理步骤简单方便，不需要进行进一步的电路理解。如果电路规模很大需要进行简化时，符号化仿真方法需要自动对电路可以有结构性理解，生成如图 5.2 中各指标，并依据规律构建这样的宏模型。

5.4 晶体管工作区变化及警示

在进行电路仿真时，我们对于晶体管尺寸或其他电路参数进行调整时常常造成部分晶体管的工作区域变化。如果晶体管从饱和区变化到线性区甚至截至区常常会使得电路无法正常工作。在传统分析方式中，设计师并不能实时的了解这种变化，而需要不断的调整并仿真，消耗了大量仿真时间，大幅降低了设计效率。

符号化仿真方法未来可以尝试对所有晶体管的状态进行实时监控，当电路变化导致晶体管无法工作在正常状态时及时给予警告，从而节省设计师的反复调试时间。

5.5 大规模电路的分块仿真处理



图表 5-3 复杂运算放大器实例

Fig. 5-3 Complex Op Amp Example

符号化分析方法由于需要保存的数据量会随电路中节点个数的增加而呈指数增大，因此在存储空间有限的条件下，可处理的电路规模是有上限的。如图 5-3 所示的 44 个晶体管复杂运算放大器，直接使用符号化分析方法将无法处理，此时需要对电路进行自动模块划分，保持每个模块在可处理的范围内，然后运用分层机制将电路加以层次化处理，从而最终达到处理更复杂问题的能力。

参考文献

- [1] B. Francine; S. Greg, et. al., “Megatrends and EDA 2017,” Design Automation Conference, pp. 21 - 22, 2007
- [2] T. McConaghy, G. Gielen, “Automation in mixed-signal design: challenges and solutions in the wake of the nano era,” International Conference on Computer-Aided Design, pp. 461-463, 2006
- [3] R. Rutenbar, “Design automation for analog: the next generation of tool challenges,” International Conference on Computer-Aided Design, pp. 458-460, 2006
- [4] C. Labrecque, “Near-term industrial perspective of analog CAD,” International Conference on Computer-Aided Design, pp. 456-457, 2006
- [5] W. Chen, “Applied graph theory - graphs and electrical networks,” Elsevier, Amsterdam, 1976
- [6] L. Chua and P. Lin, “Computer-aided analysis of electronic circuits: algorithms and computational techniques,” Rentice-Hall, Englewood Cliffs, N.J. , 1975
- [7] P. Lin, “Symbolic network analysis,” Elsevier, Amsterdam, 1991
- [8] W. Sansen, G. Gielen, and H. Walscharts, “A symbolic simulator for analog circuits,” International Solid-State Circuits Conference, pp. 204-205, 1989
- [9] G. Gielen, H. Walscharts, and W. Sansen, “ISAAC: A symbolic simulator for analog integrated circuits,” IEEE Journal of Solid-State Circuits, vol. 24, no. 6, pp. 1587-1597, Dec. 1989
- [10] F. Fernandez, A. Rodriguez-Vazquez, and J. Huertas, “A tool for symbolic analysis of analog integrated circuits including pole/zero extraction,” European Conference on Circuit Theory and Design, pp. 752-761, 1991
- [11] J. Kluwer, “Interactive AC modeling and characterization of analog circuits via symbolic analysis,” Analog Integrated Circuits and Signal Process., vol. 1, pp. 183- 208, Nov.1991
- [12] S. Seda, M. Degrauwe, and W. Fichtner, “A symbolic analysis tool for analog circuit design automation,” International Conference on Computer-Aided Design, pp. 488-491,

1988

- [13] S. Seda, M. Degrauwe, W. Fichtner, “Lazy-expansion symbolic expression approximation in SYNAP,” International Conference on Computer-Aided Design, pp. 310-317, 1992
- [14] G. Wierzba et al., “SSPICE-A symbolic SPICE program for linear active circuits,” Proceeding Midwest Symposium on Circuits and Systems, pp. 1197-1201, 1989
- [15] A. Konczykowska and M. Bon, “Automated design software for switched-capacitor IC’s with symbolic simulator SCYMBAL,” Design Automation Conference, pp. 363-368, 1988
- [16] M. Hassoun and P. Lin, “A new network approach to symbolic simulation of large-scale networks,” IEEE International Symposium on Circuits and Systems, pp. 806-809, 1989
- [17] L. Huelsman, “Personal computer symbolic analysis programs for undergraduate engineering courses,” IEEE International Symposium on Circuits and Systems, pp. 798-801, 1989
- [18] 陈微微, “符号化模拟电路仿真器的实现与应用,” 上海交通大学工学硕士专业学位论文, 2006
- [19] W. Chen and G. Shi, “Implementation of a symbolic circuit simulator for topological network analysis,” Asia Pacific Conference on Circuits and Systems, pp. 1327-1331, 2006
- [20] G. Shi and X. Meng, “Variational analog integrated circuit design by symbolic sensitivity analysis,” International Symposium on Circuits and Systems, pp. 3002–3005, 2009
- [21] T. McConaghy, T. Eeckelaert, G. Gielen, “CAFFEINE: Template-free symbolic model generation of analog circuits via canonical form functions and genetic programming,” Design, Automation, and Test in Europe, pp. 1082-1087, March 2005
- [22] T. McConaghy, G. Gielen, “Analysis of simulation-driven numerical performance modeling techniques for application to analog circuit optimization,” IEEE International Symposium on Circuits and Systems, pp. 1298-1301, May 2005
- [23] T. McConaghy, G. Gielen, “IBMG: Interpretable behavioral model generator for nonlinear analog circuits via canonical form functions and genetic programming,” IEEE International Symposium on Circuits and Systems, pp. 5170-5173, May 2005
- [24] T. McConaghy, G. Gielen, “Double-strength CAFFEINE: fast template-free symbolic

- modeling of analog circuits via implicit canonical form functions and explicit introns,” Design, Automation, and Test in Europe, pp. 269-274, 2006
- [25] A. Vladimirescu, S. Liu, “The simulation of MOS integrated circuits using SPICE2,” Memorandum No. UCB/ERL M80/7, 1980
- [26] T. Sakurai, A. Newton, “A Simple MOSFET model for circuit analysis and its application to CMOS gate delay analysis and series-connected MOSFET structure,” Memorandum No. UCB/ERL M90/19, 1990
- [27] <http://en.wikipedia.org/wiki/BSIM>
- [28] R. Hägglund, E. Hjalmarson, and L. Wanhammar, “Optimization-based device sizing in Analog Circuit Design,” Proceeding Swedish System-on-Chip Conference, pp. 212-217, 2002
- [29] K. Leung, M.T, “Nested Miller compensation in low-power CMOS design,” Transactions on Circuits and Systems, vol. 48, issue 4, pp. 388-394, April 2001
- [30] M. Dunga et al., “BSIM4.6.1 MOSFET Model,” <http://www-device.eecs.berkeley.edu/bsim3/~bsim4.html>, 2007
- [31] www.eigroup.org/cmc
- [32] Spice3f5 source code, UCBERL
- [33] T. Quarles, “Analysis of performance and convergence issues for circuit simulation,” Memorandum No. UCBERL M89/42, 1989
- [34] T. Quarles, “Adding devices to SPICE3,” Memorandum No. UCBERL M89/45, 1989
- [35] SYNOPSIS, “HSPICE® Command Reference Version X-2005.09,” September 2005
- [36] 孙亚男, “运算放大器设计实例,” 上海交通大学本科毕业论文, 2008
- [37] G. Palumbo, S. Pennisi, “Design methodology and advances in nested-miller compensation,” IEEE Transaction on Circuits and Systems-I: Fundamental theory and applications, vol. 49, no. 7, pp. 893-903, 2002
- [38] H. Graeb, “Analog design centering and sizing,” Springer, ISBN 978-1-4020-6004-5, 2007
- [39] P. Allen, D. Holberg, “CMOS analog circuit design 2nd,” Oxford University Press, pp. 244-350, 2002
- [40] C. Toumazou et al., “Trade-offs in analog circuit design,” Kluwer Academic Publishers, ISBN: 978-1-4020-7037-2, 2002
- [41] A. Grasso et al., “Advances in reversed nested miller compensation,” IEEE

Transaction on Circuits and Systems-I: Regular Papers, Vol. 54, No. 7, pp. 1459-1470, 2007

[42] T. McConaghy, G. Gielen, “Globally reliable variation-aware sizing of analog integrated circuits via response surfaces and structural homotopy,” IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, Vol. 28, No. 11, pp. 1627-1640, 2009

[43] A. Konczykowska, M. Bon, “Symbolic simulation for efficient repetitive analysis and artificial intelligence techniques in C.A.D,” International Symposium on Circuit and System, pp. 802-805, 1989

[44] A. Konczykowska, M. Bon, “Analog design optimization using symbolic approach,” International Symposium on Circuit and System, pp. 786-789, 1991

[45] F. Fernandez, J. Martin et al., “On simplification techniques for symbolic analysis of analog integrated circuits,” International Symposium on Circuit and System, pp. 1149-1152, 1992

[46] G. Gielen et al., “Symbolic analysis methods and applications for analog circuits: a tutorial overview,” Proceeding of the IEEE, pp. 287-304, 1994

[47] R. Howe et al., “Microelectronics an integrated approach,” Prentice Hall, 1997

[48] S. Liu, L. Nagel, “Small-signal MOSFET models for analog circuit design,” IEEE Journal of Solid-State Circuits, Vol. SC-17, No.6, pp. 983-998, 1982

[49] G. Shi, W. Chen, et. al., “A graph reduction approach to symbolic circuit analysis,” Asia South-Pacific Design Automation Conference, pp. 197-202, 2007.

[50] T. McConaghy, P. Palmers et. al., “Simultaneous multi-topology multi-objective sizing across thousands of analog circuit topologies,” Design Automation Conference, pp. 944 - 947, June 2007

[51] H. Yang, A. Agarwal, et. al, “Fast analog circuit synthesis using multi-parameter sensitivity analysis based on element-coefficient diagrams,” International Symposium on Circuit and System, pp. 71-76, 2005

附录 A GRASS 常规状态正确性验证

在使用 GRASS 进行实例设计前我们需要验证该符号化仿真工具在集合 MOS3 小信号模型构建后的正确性，为此我们将验证两方面：其在常规状态下对于不同设计实例与 HSPICE 等标准仿真工具的差异和其在电路工作在非正常状态下与 HSPICE 的差异。

表 A.1 GRASS 测试环境
Table A.1 Testing Environment

Testing Env	Information
CPU	Intel(R) Xeon(R) CPU X3363 @ 2.83GHz
Memory	16 G bytes, DDRII667

为了测试 GRASS 在不同晶体管数时的计算效率，我们将设计进行了不同程度的简化，例如原来需要一个晶体管在偏置电压的作用下才能提供的偏置电流直接由理想电流源近似，进一步简化可以将电路中原来提供偏置电流的镜像电流源部分电路直接去掉等等。

A.1 简化三级运算放大器测试

表 A.2 GRASS 在简化三级运算放大器[7]测试表现
Table A.2 Testing Performance with Simple Three Stage Op-Amp on GRASS

Parameters/Performances	Value
Testing scale(number of transistors)	11
Testing scale(number of symbol)	91
Time consuming(seconds)	5
Memory consuming (G-bytes)	0.1
Match Percentage	100%

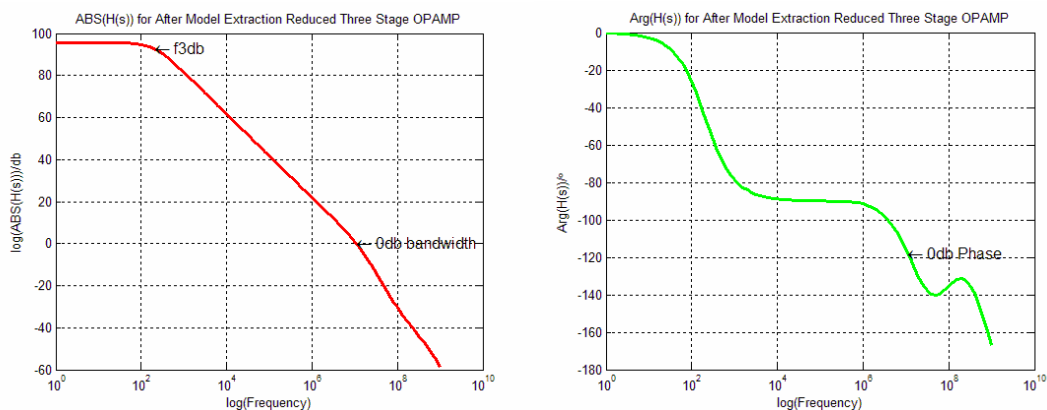


图 A.1 简化三级放大器在 HSPICE 中的频域响应幅值图
 Fig. A.1 Frequency Response of Simple Three Stage Op-Amp on HSPICE

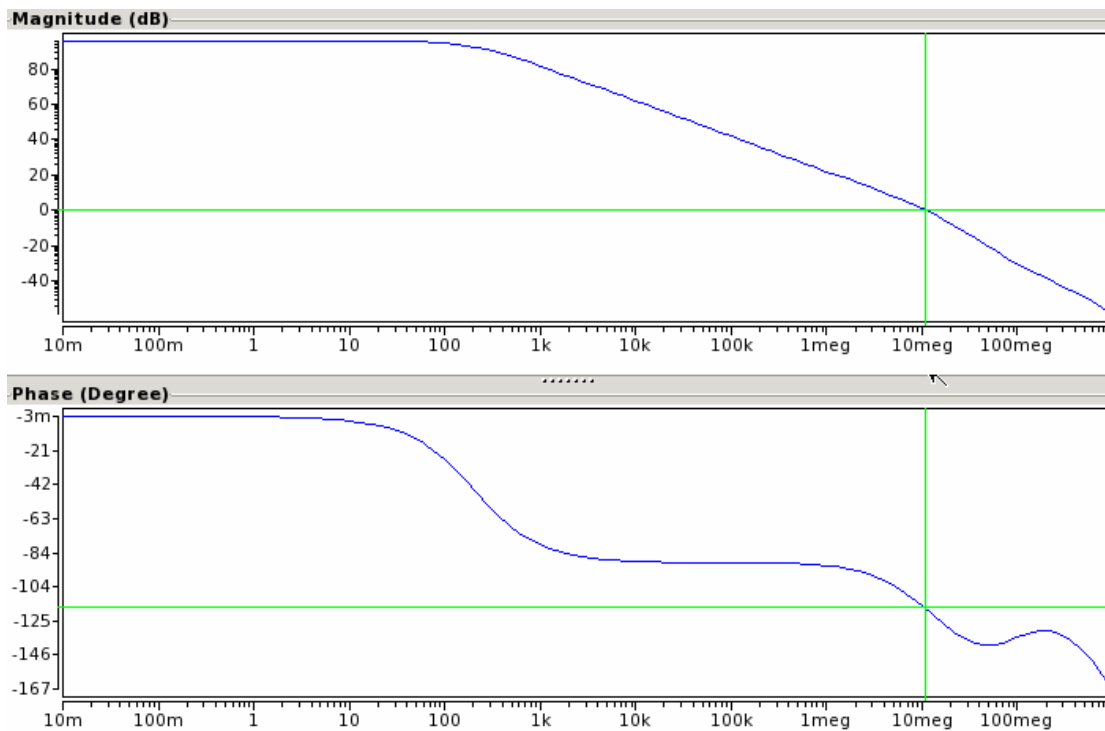


图 A.2 简化三级放大器在 GRASS 中的频域响应幅值图
 Fig. A.2 Frequency Response of Simple Three Stage Op-Amp on GRASS

A.2 简化两级运算放大器测试

表 A.3 GRASS 在简化两级运算放大器[7]测试表现

Table A.3 Testing Performance with Simple Two Stage Op-Amp on GRASS

Parameters/Performances	Value
Testing scale(number of transistors)	13
Testing scale(number of symbol)	107
Time consuming(seconds)	25
Memory consuming (G-bytes)	0.9
Match Percentage	100%

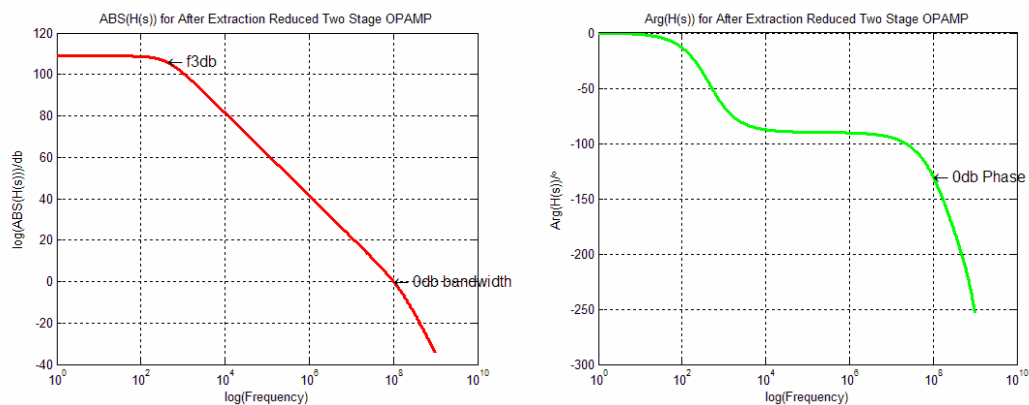


图 A.3 简化两级放大器在 HSPICE 中的频域响应幅值图

Fig. A.3 Frequency Response of Simple Two Stage Op-Amp on HSPICE

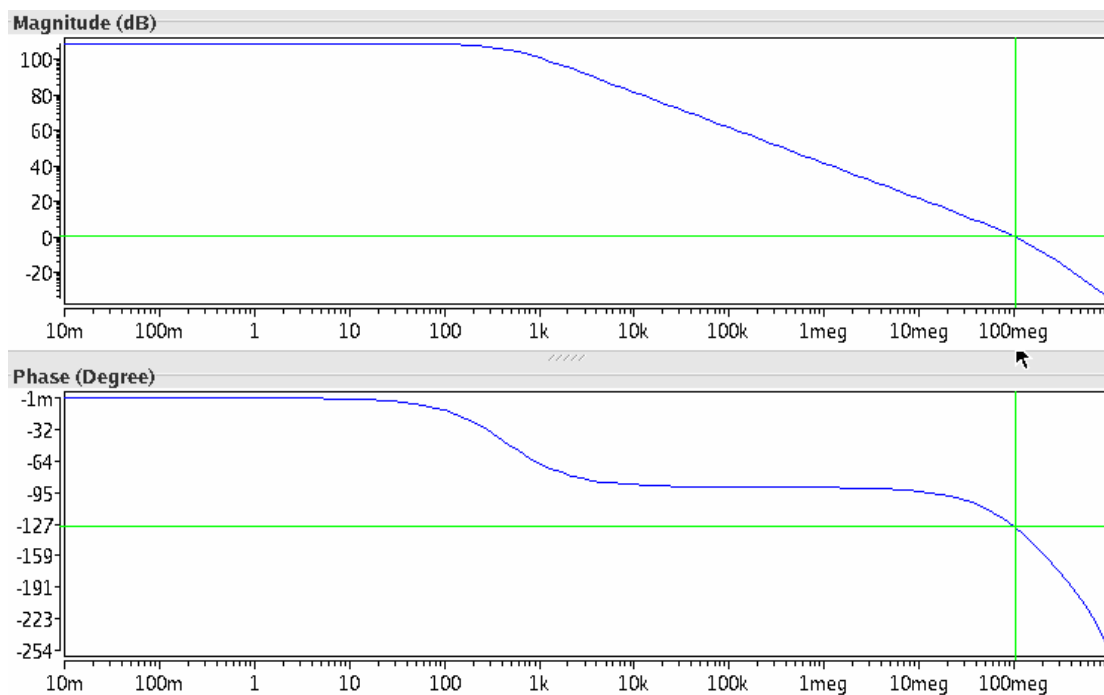


图 A.4 简化两级放大器在 GRASS 中的频域响应幅值图

Fig. A.4 Frequency Response of Simple Two Stage Op-Amp on GRASS

A.3 简化折叠级联运算放大器测试

表 A.4 GRASS 在简化折叠级联运算放大器[7]测试表现

Table A.4 Testing Performance with Simple Folded Cascode Op-Amp on GRASS

Parameters/Performances	Value
Testing scale(number of transistors)	22
Testing scale(number of symbol)	179
Time consuming(minutes)	>20
Memory consuming (G-bytes)	>13
Match Percentage	Not Runnable!

可以看到，在 Symbol 数目处于 GRASS 可能操作范围内时，GRASS 与 HSPICE 操作是完全一致的；在 Symbol 超过 GRASS 可以操作范围时，系统无法得到有效结果。

附录 B 非正常工作点模型正确性验证

当电路在不同的情况下工作时，其工作点也会发生变化。如下验证是为了保证我们进行的小信号模型抽取及构建在所有的工作情况下均是正确而可靠的。

测试电路如图 B.1 所示。

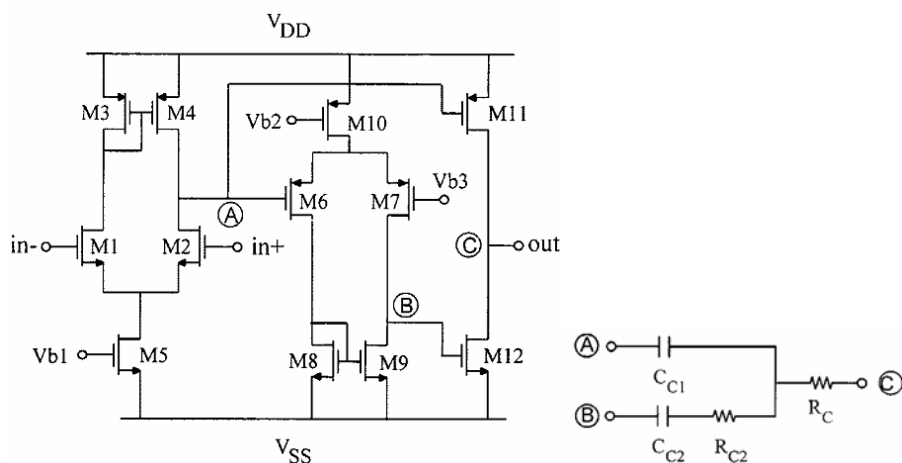


图 B.1 三级运算放大器及其补偿结构

Fig. B.1 Three Stage Op-Amp and its Compensation Structure

B.1 正常工作点情形

当供应电压为 2.8V 时，所有晶体管的工作区域如表 B.1 所示。

表 B.1 当供应电压为 2.8V 时每个晶体管的工作区域

Table B.1 Operating Region of Each Transistor when Supply Voltage = 2.8V

Name	Region	Name	Region
M1	Saturation	M2	Saturation
M3	Saturation	M4	Saturation
M5	Saturation	M6	Saturation
M7	Saturation	M8	Saturation
M9	Saturation	M10	Saturation

M11

Saturation

其对应的频域响应如下:

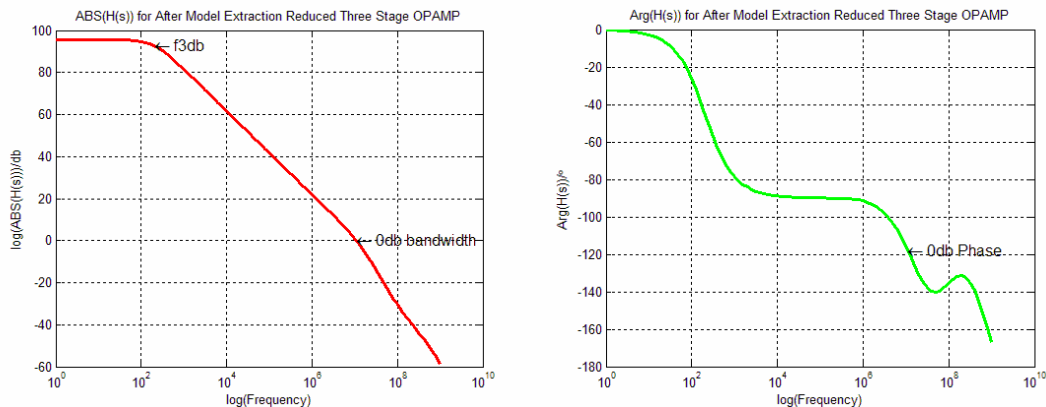


图 B.2 当供给电压为 2.8V 时简化三级运算放大器在 HSPICE 仿真器中表现
 Fig. B.2 System Performance of Simplified Three Stage Op-Amp when Supply Voltage = 2.8V on HSPICE

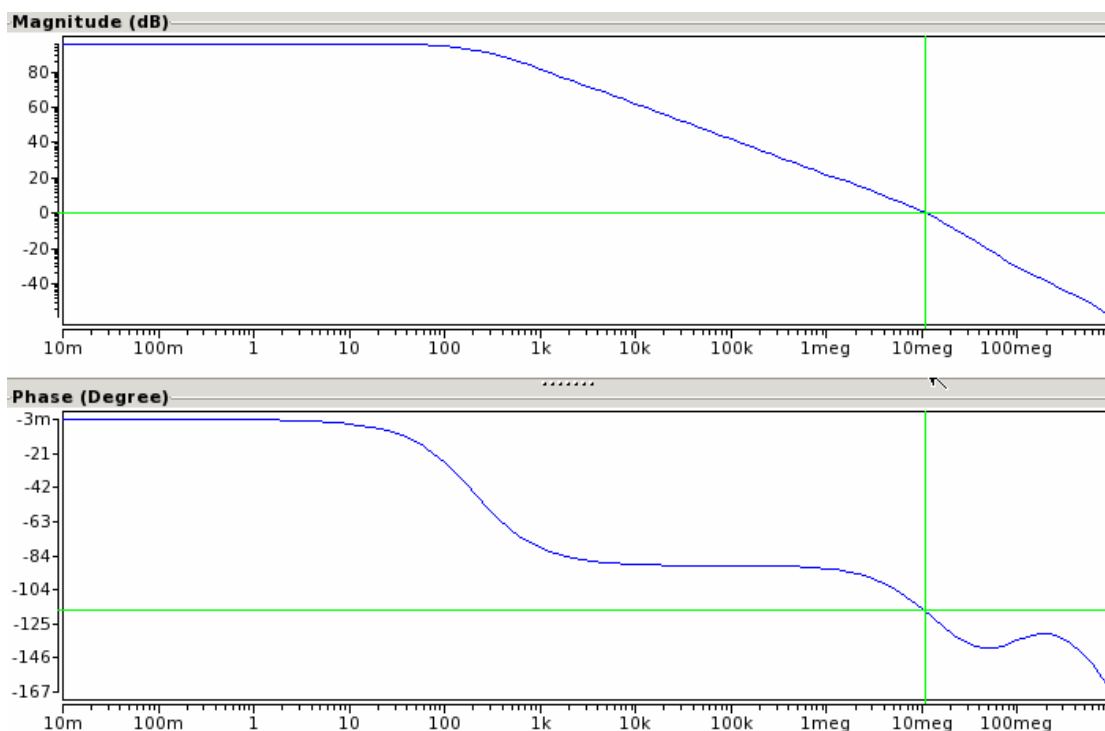


图 B.3 当供给电压为 2.8V 时简化三级运算放大器在 GRASS 仿真器中表现
 Fig. B.3 System Performance of Simplified Three Stage Op-Amp when Supply Voltage = 2.8V on GRASS

表 B.2 当供应电压为 2.8V 时 HSPICE 与 GRASS 差异

Table B.2 Performance Difference between HSPICE and GRASS when Supply Voltage = 2.8V

3 stage Op Amp	HSPICE	GRASS	Difference
Open loop Gain(db)	95.7	95.7	0%
Bandwidth(MHz)	9.17	9.17	0%
Phase margin(degree)	88	88	0%

B.2 非正常工作点情形 1

当供应电压为 2.0V 时，所有晶体管的工作区域如表 B.1 所示。

表 B.3 当供应电压为 2.0V 时每个晶体管的工作区域

Table B.3 Operating Region of Each Transistor when Supply Voltage = 2.0V

Name	Region	Name	Region
M1	Saturation	M2	Saturation
M3	Saturation	M4	Saturation
M5	Saturation	M6	Linear
M7	Saturation	M8	Saturation
M9	Saturation	M10	Saturation
M11	Saturation		

其对应的频域相应如下:

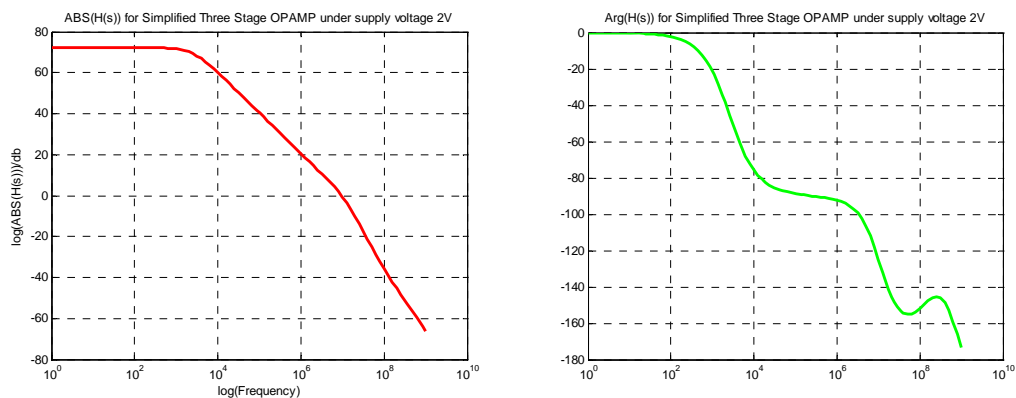


图 B.4 当供给电压为 2.0V 时简化三级运算放大器在 HSPICE 仿真器中表现
 Fig. B.4 System Performance of Simplified Three Stage Op-Amp when Supply Voltage = 2.0V on HSPICE

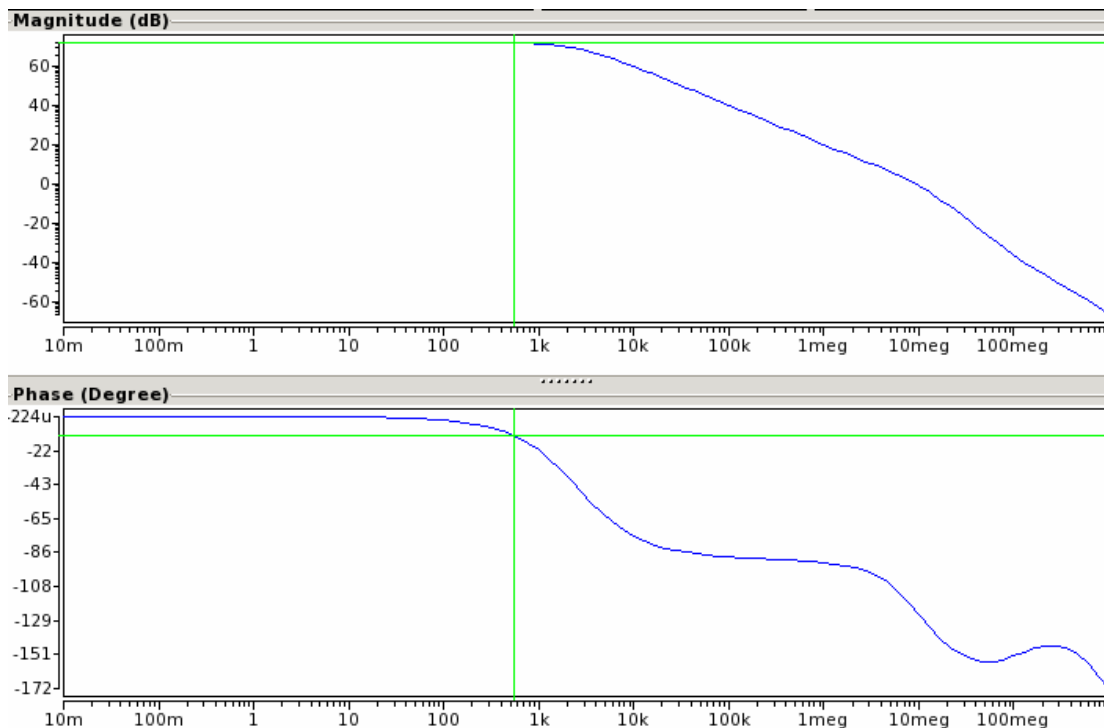


图 B.5 当供给电压为 2.0V 时简化三级运算放大器在 GRASS 仿真器中表现
 Fig. B.5 System Performance of Simplified Three Stage Op-Amp when Supply Voltage = 2.0V on GRASS

表 B.4 当供应电压为 2.0V 时 HSPICE 与 GRASS 差异
 Table B.4 Performance Difference between HSPICE and GRASS when Supply Voltage = 2.0V

3 stage Op Amp	HSPICE	GRASS	Difference
Open loop Gain(db)	72.2	72.2	0%
Bandwidth(MHz)	9.56	9.50	0.6%
Phase margin(degree)	56.1	57	1%

差异主要由于 GRASS 画图中的离散步长问题

B.3 非正常工作点情形 1

当供应电压为 1.5V 时，所有晶体管的工作区域如表 B.1 所示。

表 B.5 当供应电压为 1.5V 时每个晶体管的工作区
Table B.5 Operating Region of Each Transistor when Supply Voltage = 1.5V

Name	Region	Name	Region
M1	Linear	M2	Linear
M3	Saturation	M4	Saturation
M5	Linear	M6	Linear
M7	Saturation	M8	Saturation
M9	Linear	M10	Saturation
M11	Saturation		

其对应的频域相应如下:

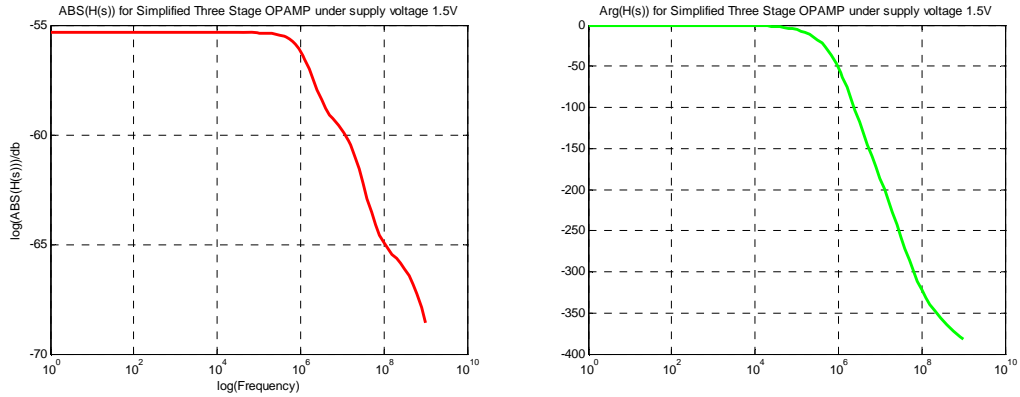


图 B.6 当供给电压为 1.5V 时简化三级运算放大器在 HSPICE 仿真器中表现
 Fig. B.6 System Performance of Simplified Three Stage Op-Amp when Supply Voltage = 1.5V on HSPICE

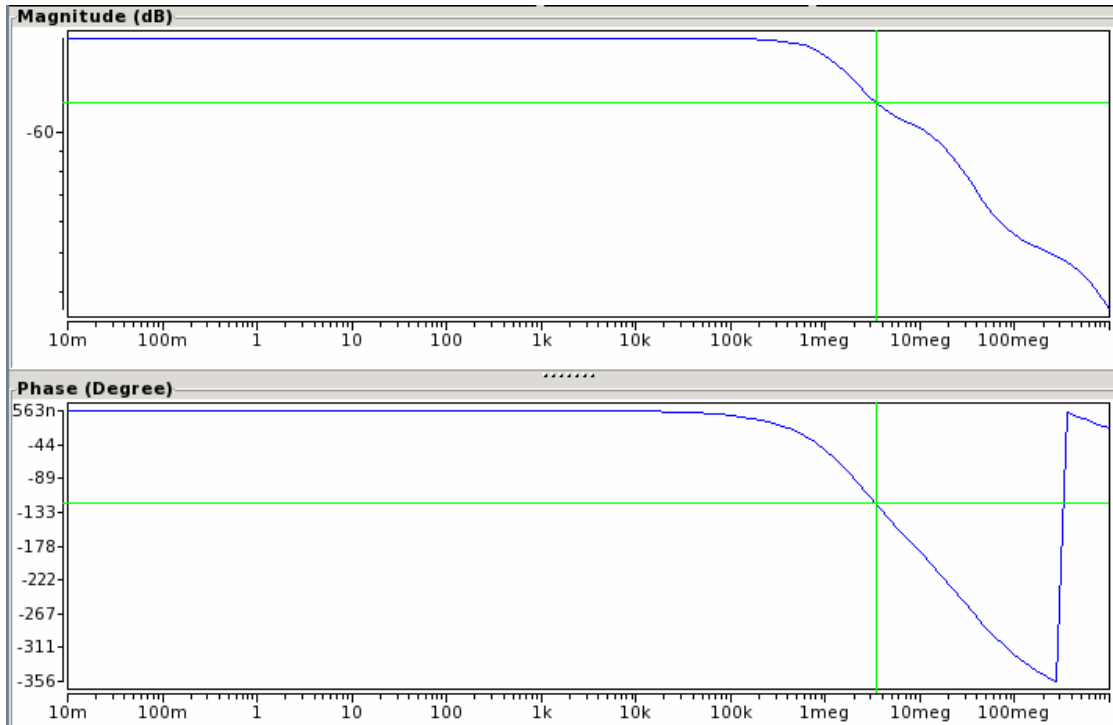


图 B.7 当供给电压为 1.5V 时简化三级运算放大器在 GRASS 仿真器中表现
 Fig. B.7 System Performance of Simplified Three Stage Op-Amp when Supply Voltage = 1.5V on GRASS

表 B.6 当供应电压为 1.5V 时 HSPICE 与 GRASS 差异
 Table B.6 Performance Difference between HSPICE and GRASS when Supply Voltage = 1.5V

3 stage Op Amp	HSPICE	GRASS	Difference
Open loop Gain(db)	-55.3	-55.3	0%
Bandwidth(MHz)	N/A	N/A	N/A
Phase margin(degree)	N/A	N/A	N/A

由如上实验结果我们可以看到，进行小信号模型替换后的 GRASS 在任意电路工作状态下均得到与 HSPICE 一致的仿真结果。

致谢

首先感谢施国勇教授，施老师作为我的直接指导老师，在两年半的时间里对我进行了悉心的指导与教诲，开拓了我的研究视野，培养了我的知识和技能基础，并研究过程中持续不断的提供的建议和帮助我把握研究方向。他的热心帮助是我研究工作顺利完成的基础。

施老师治学严谨，对科研工作有着无限的热情。他的高度敬业精神和责任感是我一生的学习目标。无论是做事还是做人，施老师都给我们树立了一个楷模。一日为师，终生为父。在论文即将完成之际，特别对施老师表达我的衷心感谢！

其次我要感谢李章全教授，我的研究涉及模拟电路设计与计算机辅助设计的结合点，在电路设计和真正辅助设计师功能的挖掘上李章全老师给予了我很多的帮助和指导，让我的研究更加具有实际意义。

同时要感谢与我同一研究方向的李骥，曾媚，陈硕，王婷，与他们的每一次交流都是具有建设性的，拓宽了我的思路，建立了一生的友谊。要感谢我的好朋友陈安，张晓晨，戴焯，杨杨，施健和好多真心的朋友，我们的友谊带来了拼搏日子里最大的快乐。

最后，我要感谢我的家人，对我二十余年无私的养育和悉心的培养是我得以获得人生良好起步的根源。深深地感激难以述之语言。

攻读博士学位期间已发表或录用的论文

1. 谭焜元, 李骥. 符号化仿真技术用于提高模拟集成电路设计良率. 信息技术 2010